

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

17038730

Basic Patent (No,Kind,Date): JP 2001077374 A2 20010323 <No. of Patents: 001>

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; ARAI YASUYUKI; KOYAMA JUN

IPC: *H01L-029/786; H01L-021/336; G02F-001/1339; G09F-009/00

Derwent WPI Acc No: *G 01-312698; G 01-312698

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2001077374	A2	20010323	JP 2000204291	A	20000705 (BASIC)

Priority Data (No,Kind,Date):

JP 2000204291 A 20000705

JP 99191097 A 19990706

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

06849874 **Image available**

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

PUB. NO.: 2001-077374 [JP 2001077374 A]

PUBLISHED: March 23, 2001 (20010323)

INVENTOR(s): YAMAZAKI SHUNPEI

 ARAI YASUYUKI

 KOYAMA JUN

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2000-204291 [JP 2000204291]

FILED: July 05, 2000 (20000705)

PRIORITY: 11-191097 [JP 99191097], JP (Japan), July 06, 1999 (19990706)

INTL CLASS: H01L-029/786; H01L-021/336; G02F-001/1339; G02F-001/1368;
 G09F-009/00; G09F-009/30

ABSTRACT

PROBLEM TO BE SOLVED: To improve the operating characteristics and reliability of a semiconductor and to reduce the amount of consumed power by forming the pixel electrode of a pixel section into the shape of an insulating film made of an organic insulating material having a light-reflecting surface.

SOLUTION: First, spacers, which are columnar spacers, are formed on an active matrix substrate. Columnar spacers 173 are formed to overlap a contact portion of a pixel electrode 168 in a manner covering the contact portion, in a pixel section. Then, an alignment layer 174 is formed using a polyimide resin, and then rubbed to align the layer such that liquid crystal molecules are aligned at a predetermined pre-tilt angle. A light-shielding film 176, a transparent conductive film 177, and an alignment layer 178 are formed on a mating substrate 175 on the opposite side. Then, the active matrix substrate wherein the pixel section and a driving circuit are formed is laminated to the mating substrate with a sealing agent 179. Thereafter, a liquid crystal material 606 is charged to fill a space between both substrates for their complete closure with a closing material.

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 A
21/336		G 0 2 F 1/1339	5 0 0
G 0 2 F 1/1339	5 0 0	G 0 9 F 9/00	3 3 8
1/1368			3 4 8 C
G 0 9 F 9/00	3 3 8	9/30	3 3 8
審査請求 未請求 請求項の数21 O L (全 26 頁) 最終頁に続く			

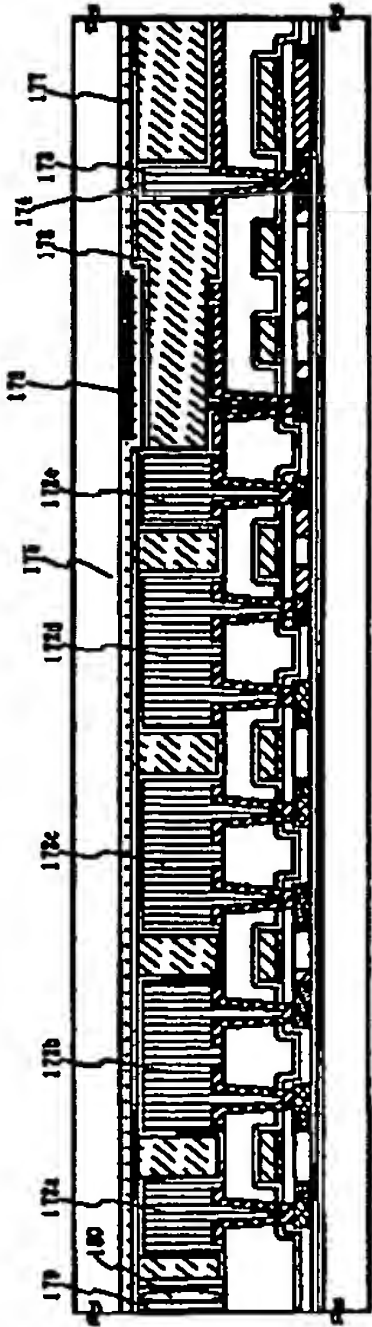
(21) 出願番号	特願2000-204291(P2000-204291)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成12年 7 月 5 日 (2000. 7. 5)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願平11-191097	(72) 発明者	荒井 康行 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平成11年 7 月 6 日 (1999. 7. 6)	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 アクティブマトリクス基板の各種回路に対応したT F Tを作製するためにその製造工程は複雑なものとなり工程数が増加してしまう。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となる。

【解決手段】 駆動回路のpチャネル型T F Tはシングルドレイン構造とし、nチャネル型T F TはG O L D構造とL D D構造のいずれかとする。画素T F TはL D D構造として、画素部に設ける画素電極は、有機絶縁物材料からなる層間絶縁膜上に形成され、少なくとも、画素T F Tのゲート電極の上方に設けた無機絶縁物材料から成る保護絶縁膜と、該絶縁膜上に密接して形成された該層間絶縁膜とに設けられた開孔を介して、前記画素T F Tに接続している。この工程においてフォトマスク数を6〜8枚とする。



【特許請求の範囲】

【請求項 1】画素部に設けた画素 T F T と、該画素部の周辺に p チャンネル型 T F T と n チャンネル型 T F T とを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路の p チャンネル型 T F T は、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を有し、前記駆動回路の n チャンネル型 T F T は、チャンネル形成領域と、該チャンネル形成領域に接して設けられ、ゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域と、該第 1 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、前記画素 T F T は、チャンネル形成領域と、該チャンネル形成領域に接して設けられ L D D 領域を形成する第 2 濃度の n 型不純物領域と、該第 2 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、前記画素 T F T のゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、前記画素部の画素電極は、光反射性表面を有し前記有機絶縁物材料から成る絶縁膜上に形成されていることを特徴とする半導体装置。

【請求項 2】画素部に設けた画素 T F T と、該画素部の周辺に p チャンネル型 T F T と n チャンネル型 T F T とを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路の p チャンネル型 T F T は、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を有し、前記駆動回路の n チャンネル型 T F T は、チャンネル形成領域と、該チャンネル形成領域に接して設けられゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域と、該第 1 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、前記画素 T F T は、チャンネル形成領域と、該チャンネル形成領域に接して設けられ L D D 領域を形成する第 2 濃度の n 型不純物領域と、該第 2 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 1 濃度の n 型不純物領域とを有し、前記画素 T F T のゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、前記画素部の画素電極は、光透過性を有し前記有機絶縁物材料から成る絶縁膜上に形成されていることを特徴とする半導体装置。

【請求項 3】一対の基板間に液晶を挟持した半導体装置であって、画素部に設けた画素 T F T と、駆動回路の p チャンネル型 T F T と n チャンネル型 T F T とを有する一方の基板において、前記駆動回路の p チャンネル型 T F T は、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を有し、前記駆動回路の n チャンネル型 T F T は、チャンネル形成領域と、

該チャンネル形成領域に接して設けられゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域と、該第 1 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、前記画素 T F T は、チャンネル形成領域と、該チャンネル形成領域に接して設けられ L D D 領域を形成する第 2 濃度の n 型不純物領域と、該第 2 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、前記画素 T F T のゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、前記画素部の画素電極は、光反射性表面を有し前記有機絶縁物材料から成る絶縁膜上に形成され、前記無機絶縁物材料から成る絶縁膜と前記有機絶縁物材料から成る絶縁膜を貫通する開孔部にて前記画素 T F T に接続され、透明導電膜が形成された他方の基板と、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して貼り合わされていることを特徴とする半導体装置。

【請求項 4】一対の基板間に液晶を挟持した半導体装置であって、画素部に設けた画素 T F T と、駆動回路の p チャンネル型 T F T と n チャンネル型 T F T とを有する一方の基板において、前記駆動回路の p チャンネル型 T F T は、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を有し、前記駆動回路の n チャンネル型 T F T は、チャンネル形成領域と、該チャンネル形成領域に接して設けられゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域と、該第 1 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、前記画素 T F T は、チャンネル形成領域と、該チャンネル形成領域に接して設けられ L D D 領域を形成する第 2 濃度の n 型不純物領域と、該第 2 濃度の n 型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域とを有し、前記画素 T F T のゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、前記画素部の画素電極は、光透過性を有し前記有機絶縁物材料から成る絶縁膜上に形成され、前記無機絶縁物材料から成る絶縁膜と前記有機絶縁物材料から成る絶縁膜を貫通する開孔部にて前記画素 T F T に接続され、透明導電膜が形成された他方の基板と、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して貼り合わされていることを特徴とする半導体装置。

【請求項 5】請求項 1 乃至請求項 4 のいずれか一項において、前記駆動回路の p チャンネル型 T F T は、チャンネル形成領域と、ソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域との間に、オフセット領域が形成されていることを特徴とする半導体装置。

【請求項 6】請求項 5 おいて、前記駆動回路の p チャンネル型 T F T は、アナログスイッチとして使用されていることを特徴とする半導体装置。

【請求項 7】請求項 1 乃至請求項 4 のいずれか一項において、前記画素 T F T と、前記駆動回路の p チャンネル型 T F T と n チャンネル型 T F T とのゲート電極は耐熱性導電性材料から形成され、前記駆動回路から延在し、該ゲート電極に接続するゲート配線は低抵抗導電性材料から形成されることを特徴とする半導体装置。

【請求項 8】請求項 7 において、前記耐熱性導電性材料はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイドであることを特徴とする半導体装置。

【請求項 9】請求項 3 または請求項 4 において、前記柱状スペーサが、前記駆動回路の p チャンネル型 T F T と n チャンネル型 T F T 上に形成されていることを特徴とする半導体装置。

【請求項 10】請求項 3 または請求項 4 において、前記柱状スペーサは、前記駆動回路の p チャンネル型 T F T と n チャンネル型 T F T のソース配線またはドレイン配線を覆って形成されていることを特徴とする半導体装置。

【請求項 11】請求項 1 乃至請求項 10 のいずれか一項において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、電子遊技機器、プロジェクターから選ばれた一つであることを特徴とする半導体装置。

【請求項 12】画素部に設けた画素 T F T と、該画素部の周辺に p チャンネル型 T F T と n チャンネル型 T F T とを設けた駆動回路とを同一の基板上に有する半導体装置の作製方法において、前記基板に密接して下地膜を形成する工程と、前記下地膜上に複数の島状半導体層を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T のゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記画素 T F T の L D D 領域を形成する第 2 濃度の n 型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T と前記画素 T F T とにソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路の p チャンネル型 T F T のソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を形成する工程と、前記駆動回路の n チャンネル型 T F T と p チャンネル型 T F T と、前記画素 T F T とのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、該無機絶縁

物材料から成る絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、前記画素 T F T に接続する光反射性表面を有する画素電極を、前記有機絶縁物材料からなる絶縁膜上に形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 13】画素部に設けた画素 T F T と、該画素部の周辺に p チャンネル型 T F T と n チャンネル型 T F T とを設けた駆動回路とを同一の基板上に有する半導体装置の作製方法において、前記基板上に、下地膜を形成する工程と、前記下地膜上に複数の島状半導体層を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T のゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記画素 T F T の L D D 領域を形成する第 2 濃度の n 型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T と前記画素 T F T とにソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路の p チャンネル型 T F T のソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を形成する工程と、前記駆動回路の n チャンネル型 T F T と前記画素 T F T と p チャンネル型 T F T とのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、該無機絶縁物材料からなる絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、前記画素 T F T に接続する導電性金属配線を形成する工程と、前記有機絶縁物材料からなる絶縁膜上に前記導電性金属配線に接続する透明導電膜から成る画素電極を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 14】一対の基板間に液晶を挟持した半導体装置の作製方法において、画素部に設けた画素 T F T と、駆動回路の p チャンネル型 T F T と n チャンネル型 T F T とを設けた一方の基板は、前記基板上に、下地膜を形成する工程と、前記下地膜上に複数の島状半導体層を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T のゲート電極と一部が重なる L D D 領域を形成する第 1 濃度の n 型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記画素 T F T の L D D 領域を形成する第 2 濃度の n 型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路の n チャンネル型 T F T と前記画素 T F T とにソース領域またはドレイン領域を形成する第 3 濃度の n 型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路の p チャンネル型 T F T のソース領域またはドレイン領域を形成する第 4 濃度の p 型不純物領域を形成する工程と、前記駆動回路の n チャンネル型 T F T と前記画素 T F T と p チャンネル型 T F T とのゲート電極の上層に、無機絶縁

物材料から成る絶縁膜を形成する工程と、該無機絶縁物材料からなる絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、前記有機絶縁物材料からなる絶縁膜と前記無機絶縁物材料からなる絶縁膜とに設けられた開孔を介して前記画素TFTに接続する光反射性表面を有する画素電極を前記有機絶縁物材料からなる絶縁膜上に形成する工程とを有し、他方の基板は少なくとも透明導電膜を形成する工程を有し、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して、前記一方の基板と前記他方の基板を貼合わせる工程を有することを特徴とする半導体装置の作製方法。

【請求項15】 一对の基板間に液晶を挟持した半導体装置の作製方法において、画素部に設けた画素TFTと、駆動回路のpチャンネル型TFTとnチャンネル型TFTとを設けた一方の基板は、前記基板上に、下地膜を形成する工程と、前記下地膜上に複数の島状半導体層を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャンネル型TFTのゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記画素TFTのLDD領域を形成する第2濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャンネル型TFTと前記画素TFTとにソース領域またはドレイン領域を形成する第3濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のpチャンネル型TFTのソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を形成する工程と、前記駆動回路のnチャンネル型TFTと前記画素TFTとpチャンネル型TFTとのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、該無機絶縁物材料からなる絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、前記有機絶縁物材料からなる絶縁膜と保護絶縁膜とに設けられた開孔を介して前記画素TFTに接続する導電性金属配線を形成する工程と、前記層間絶縁膜上に該金属配線に接続する透明導電膜から成る画素電極を形成する工程とを有し、他方の基板は少なくとも透明導電膜を形成する工程を有し、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して、前記一方の基板と前記他方の基板を貼合わせる工程を有することを特徴とする半導体装置の作製方法。

【請求項16】 請求項12乃至請求項15のいずれか一項において、前記駆動回路のpチャンネル型TFTは、該pチャンネル型TFTのゲート電極上に無機絶縁物材料から成る絶縁膜を形成する工程の後に、前記島状半導体層の選択された領域に、該pチャンネル型TFTのソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を形成する工程を行い、該pチャンネル型TFTのチャンネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域との間に、オフセット

領域が形成することを特徴とする半導体装置の作製方法。

【請求項17】 請求項12乃至請求項15のいずれか一項において、前記画素TFTと、該画素部の周辺にpチャンネル型TFTとnチャンネル型TFTとのゲート電極を耐熱性導電性材料から形成する工程と、前記駆動回路から延在し、該ゲート電極に接続するゲート配線を低抵抗導電性材料から形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項18】 請求項17において、前記耐熱性導電性材料はタantal (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイドから形成することを特徴とする半導体装置の作製方法。

【請求項19】 請求項14または請求項15において、前記柱状スペーサを、前記駆動回路のpチャンネル型TFTとnチャンネル型TFT上にも形成することを特徴とする半導体装置の作製方法。

【請求項20】 請求項14または請求項15において、前記柱状スペーサが、前記駆動回路のpチャンネル型TFTとnチャンネル型TFTのソース配線またはドレイン配線を覆って形成することを特徴とする半導体装置の作製方法。

【請求項21】 請求項12乃至請求項20のいずれか一項において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスプレイ、電子遊技機器、プロジェクターから選ばれた一つであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、TFTと記す）で構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、画素部とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器に好適に利用できる技術を提供する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇に含んでいる。

【0002】

【従来の技術】 アクティブマトリクス型液晶表示装置に代表される電気光学装置において、スイッチング素子や能動回路を構成するためにTFTを用いる技術が開発されている。TFTはガラスなどの基板上に気相成長法により半導体膜を形成し、その半導体膜を活性層として形成する。半導体膜にはシリコン又はシリコン・ゲルマニ

ウムなどシリコンを主成分とする材料が好適に用いられている。さらに、シリコン半導体膜はその作製法により、非晶質シリコン膜や多結晶シリコンに代表される結晶質シリコン膜などを得ることができる。

【0003】非晶質シリコン膜を活性層としたTFTは、非晶質構造などに起因する電子物性的要因から、本質的に数 cm^2/Vsec 以上の電界効果移動度を得ることができない。従って、アクティブマトリクス型の液晶表示装置において、画素部の各画素に設けられる液晶を駆動するためのスイッチング素子（画素TFT）として使用することはできても、画像表示を行うための駆動回路まで形成することは不可能であった。そのために、TAB（Tape Automated Bonding）方式やCOG（Chip on Glass）方式を使ってドライバICなどを実装する技術が用いられていた。

【0004】一方、結晶質シリコン膜を活性層としたTFTでは、高い電界効果移動度が得られることから各種の機能回路を同一のガラス基板上に形成することが可能となり、画素TFTの他に駆動回路においてnチャネル型TFTとpチャネル型TFTとから成るCMOS回路を基本として形成されるシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプリング回路などを実現することができた。そして、このような技術を根拠として、液晶表示装置において軽量化および薄型化を推進するためには、画素部の他に駆動回路を同一基板上に一体形成できる結晶質半導体膜を活性層とするTFTが適していることが明らかとなっている。

【0005】

【発明が解決しようとする課題】TFTの特性面から比較すると結晶質シリコン膜を活性層とした方が優れているが、画素TFTの他に各種回路に対応したTFTを作製するためにその製造工程は複雑なものとなり工程数が増加してしまった。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となる。

【0006】例えば、画素TFTと駆動回路のTFTとでは、それらの回路の動作条件は必ずしも同一ではなく、そのことからTFTに要求される特性も少なからず異なっている。画素TFTはnチャネル型TFTから成り、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることである。一方、制御回路のバッファ回路は高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要がある。また電流駆動能力を高めるために、オン電流値（TFTがオン動作時に流れるドレイン電流）を十分確保する必要がある。

【0007】オフ電流値を低減するためのTFTの構造として、低濃度ドレイン（LDD：Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間にそれよりも低い濃度で不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、LDD領域をゲート絶縁膜を介してゲート電極と重ねて配置させた、いわゆるGOLD（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0008】このように、画素TFTと、シフトレジスタ回路やバッファ回路などの駆動回路のTFTとでは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいてはゲートに大きな逆バイアス（nチャネル型TFTでは負の電圧）が印加されるが、駆動回路のTFTは基本的に逆バイアス状態で動作することはない。また、動作速度に関しても、画素TFTは制御回路のTFTの1/100以下で良い。また、GOLD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなってしまいう問題があった。従って、画素TFTに適用するには好ましい構造ではなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低かった。このように、アクティブマトリクス型液晶表示装置のような動作条件の異なる複数の集積回路を有する半導体装置において、全てのTFTを同じ構造で形成することは必ずしも好ましくなかった。このような問題点は、特に結晶質シリコンTFTにおいて、その特性が高まり、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきた。

【0009】また、nチャネル型TFTおよびpチャネル型TFTを用いて作製されるこれらの回路の動作を安定化させるためには、TFTのしきい値電圧やサブスレシヨルド定数（S値）などの値を所定の範囲内とする必要がある。そのためには、TFTを構造面からと構成する材料面からとの両面から検討する必要がある。

【0010】本発明はこのような問題点を解決するための技術であり、TFTを用いて作製されるアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、各種回路に配置されるTFTの構造を、回路の機能に応じて適切なものとすることにより、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ると共に、工程数を削減して製造コストの低減および歩留まりの向上を実現することを目的としている。

【0011】

【課題を解決するための手段】工程数を削減して製造コストの低減および歩留まりを実現するためには、TFTの製造に要するフォトマスクの枚数を削減することが必要である。フォトマスクはフォトリソグラフィの技術において、エッチング工程のマスクとするレジストパターンを基板上に形成するために用いる。従って、フォトマスクを1枚使用することは、その前後の工程において、被膜の成膜およびエッチングなどの工程の他に、レジスト剥離、洗浄や乾燥工程などが付加され、フォトリソグラフィの工程においても、レジスト塗布、プレベーク、露光、現像、ポストベークなどの煩雑な工程が行われることを意味する。

【0012】上記問題点を解決するために本発明の構成は、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャネル型TFTは、チャネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を有し、前記駆動回路のnチャネル型TFTは、チャネル形成領域と、該チャネル形成領域に接して設けられゲート電極と重なるLDD領域と重ならないLDD領域とを形成する第1濃度のn型不純物領域と、該第1濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、前記画素TFTは、チャネル形成領域と、該チャネル形成領域に接して設けられLDD領域を形成する第2濃度のn型不純物領域と、該第2濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、前記画素TFTのゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、前記画素部の画素電極は、光反射性表面を有し前記有機絶縁物材料から成る絶縁膜上に形成されていることを特徴としている。

【0013】また、他の発明の構成は、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置において、前記駆動回路のpチャネル型TFTは、チャネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を有し、前記駆動回路のnチャネル型TFTは、チャネル形成領域と、該チャネル形成領域に接して設けられゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域と、該第1濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、前記画素TFTは、チャネル形成領域と、該チャネル形成領域に接して設けられLDD領域を形成する第2濃度のn型不純物領域と、該第2濃度のn型不純物領域の外側に設けられソー

ス領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、前記画素TFTのゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、前記画素部の画素電極は、光透過性を有し前記有機絶縁物材料から成る絶縁膜上に形成されていることを特徴としている。

【0014】また、他の発明の構成は、一对の基板間に液晶を挟持した半導体装置であって、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを有する一方の基板は、前記駆動回路のpチャネル型TFTは、チャネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を有し、前記駆動回路のnチャネル型TFTは、チャネル形成領域と、該チャネル形成領域に接して設けられゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域と、該第1濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、前記画素TFTは、チャネル形成領域と、該チャネル形成領域に接して設けられLDD領域を形成する第2濃度のn型不純物領域と、該第2濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、前記画素TFTのゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、前記画素部の画素電極は、光反射性表面を有し前記有機絶縁物材料から成る絶縁膜上に形成され、前記無機絶縁物材料から成る絶縁膜と前記有機絶縁物材料から成る絶縁膜を貫通する開孔部にて前記画素TFTに接続され、透明導電膜が形成された他方の基板と、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して貼り合わされていることを特徴としている。

【0015】また、他の発明の構成は、一对の基板間に液晶を挟持した半導体装置であって、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを有する一方の基板は、前記駆動回路のpチャネル型TFTは、チャネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を有し、前記駆動回路のnチャネル型TFTは、チャネル形成領域と、該チャネル形成領域に接して設けられゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域と、該第1濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域を形成する第3濃度のn型不純物領域とを有し、前記画素TFTは、チャネル形成領域と、該チャネル形成領域に接して設けられLDD領域を形成する第2濃度のn型不純物領域と、該第2濃度のn型不純物領域の外側に設けられソース領域またはドレイン領域

を形成する第3濃度のn型不純物領域とを有し、前記画素TFTのゲート電極の上層に、無機絶縁物材料から成る絶縁膜と、該絶縁膜上に形成された有機絶縁物材料から成る絶縁膜が形成され、前記画素部の画素電極は、光透過性を有し前記有機絶縁物材料から成る絶縁膜上に形成され、前記無機絶縁物材料から成る絶縁膜と前記有機絶縁物材料から成る絶縁膜を貫通する開孔部にて前記画素TFTに接続され、透明導電膜が形成された他方の基板と、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して貼り合わされていることを特徴としている。

【0016】上記本発明の構成において、前記駆動回路のpチャネル型TFTは、チャネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域との間に、オフセット領域が形成されていても良い。このようなpチャネル型TFTは、アナログスイッチとして好適に利用することができる。

【0017】また、上記本発明の構成において、前記画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとのゲート電極は耐熱性導電性材料から形成され、前記駆動回路から延在し、該ゲート電極に接続するゲート配線は低抵抗導電性材料から形成されることを特徴とする。前記耐熱性導電性材料は、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイド、であることが望ましい。

【0018】また、上記本発明の構成において、前記柱状スペーサが、前記駆動回路のpチャネル型TFTとnチャネル型TFT上に形成されていること、或いは、前記柱状スペーサが、少なくとも、前記駆動回路のpチャネル型TFTとnチャネル型TFTのソース配線またはドレイン配線を覆って形成されていることを特徴とする。

【0019】上記問題点を解決するために本発明の半導体装置の作製方法は、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置の作製方法において、前記基板に密接して下地膜を形成する工程と、前記下地膜上に複数の島状半導体層を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャネル型TFTのゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記画素TFTとのLDD領域を形成する第2濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャネル型TFTと前記画素TFTとにソース領域またはドレイン領域を形成する第3濃度のn型不純物領域を形成する

工程と、前記島状半導体層の選択された領域に、前記駆動回路のpチャネル型TFTのソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を形成する工程と、前記駆動回路のnチャネル型TFTとpチャネル型TFTと、前記画素TFTとのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、該無機絶縁物材料から成る絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、前記画素TFTに接続する光反射性表面を有する画素電極を、前記有機絶縁物材料からなる絶縁膜上に形成する工程とを有することを特徴としている。

【0020】また、他の発明は、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを同一の基板上に有する半導体装置の作製方法において、前記基板上に、下地膜を形成する工程と、前記下地膜上に複数の島状半導体層を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャネル型TFTのゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記画素TFTとのLDD領域を形成する第2濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャネル型TFTと前記画素TFTとにソース領域またはドレイン領域を形成する第3濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のpチャネル型TFTのソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を形成する工程と、前記駆動回路のnチャネル型TFTと前記画素TFTとpチャネル型TFTとのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、該無機絶縁物材料からなる絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、前記画素TFTに接続する導電性金属配線を形成する工程と、前記有機絶縁物材料からなる絶縁膜上に前記導電性金属配線に接続する透明導電膜から成る画素電極を形成する工程とを有することを特徴としている。

【0021】また、他の発明の構成は、一对の基板間に液晶を挟持した半導体装置の作製方法において、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを一方の基板は、前記基板上に、下地膜を形成する工程と、前記下地膜上に複数の島状半導体層を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャネル型TFTのゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記画素TFTとのLDD領域を形成する第2濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャネル型TFTと前記画素

TFTとソース領域またはドレイン領域を形成する第3濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のpチャネル型TFTのソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を形成する工程と、前記駆動回路のnチャネル型TFTと前記画素TFTとpチャネル型TFTとのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、該無機絶縁物材料からなる絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、前記有機絶縁物材料からなる絶縁膜と前記無機絶縁物材料からなる絶縁膜とに設けられた開孔を介して前記画素TFTに接続する光反射性表面を有する画素電極を前記有機絶縁物材料からなる絶縁膜上に形成する工程とを有し、他方の基板は少なくとも透明導電膜を形成する工程を有し、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して前記一方の基板と前記他方の基板を貼合わせる工程を有することを特徴としている。

【0022】また、他の発明の構成は、一对の基板間に液晶を挟持した半導体装置の作製方法において、画素部に設けた画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとを設けた駆動回路とを一方の基板は、前記基板上に、下地膜を形成する工程と、前記下地膜上に複数の島状半導体層を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャネル型TFTのゲート電極と一部が重なるLDD領域を形成する第1濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記画素TFTとのLDD領域を形成する第2濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のnチャネル型TFTと前記画素TFTとにソース領域またはドレイン領域を形成する第3濃度のn型不純物領域を形成する工程と、前記島状半導体層の選択された領域に、前記駆動回路のpチャネル型TFTのソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を形成する工程と、前記駆動回路のnチャネル型TFTと前記画素TFTとpチャネル型TFTとのゲート電極の上層に、無機絶縁物材料から成る絶縁膜を形成する工程と、該無機絶縁物材料からなる絶縁膜に密接して有機絶縁物材料からなる絶縁膜を形成する工程と、前記有機絶縁物材料からなる絶縁膜と保護絶縁膜とに設けられた開孔を介して前記画素TFTに接続する導電性金属配線を形成する工程と、前記層間絶縁膜上に該金属配線に接続する透明導電膜から成る画素電極を形成する工程とを有し、他方の基板は少なくとも透明導電膜を形成する工程を有し、前記開孔に重ねて形成された少なくとも一つの柱状スペーサを介して前記一方の基板と前記他方の基板を貼合わせる工程を有することを特徴としている。

【0023】上記本発明の半導体装置の作製方法におい

て、前記駆動回路のpチャネル型TFTは、該pチャネル型TFTのゲート電極上に無機絶縁物材料から成る絶縁膜を形成する工程の後に、前記島状半導体層の選択された領域に、該pチャネル型TFTのソース領域またはドレイン領域を形成する第4濃度のp型不純物領域を形成する工程を行い、該pチャネル型TFTのチャネル形成領域と、ソース領域またはドレイン領域を形成する第4濃度のp型不純物領域との間に、オフセット領域が形成することを特徴としている。

【0024】また、上記本発明の半導体装置の作製方法において、前記画素TFTと、該画素部の周辺にpチャネル型TFTとnチャネル型TFTとのゲート電極を耐熱性導電性材料から形成する工程と、前記駆動回路から延在し、該ゲート電極に接続するゲート配線を低抵抗導電性材料から形成する工程とを有することを特徴としている。前記耐熱性導電性材料は、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン

(W)から選ばれた元素、または前記元素を成分とする化合物、または前記元素を組み合わせた化合物、または前記元素を成分とする窒化物、前記元素を成分とするシリサイド、から形成することが望ましい。

【0025】また、上記本発明の半導体装置の作製方法において、前記柱状スペーサを、前記駆動回路のpチャネル型TFTとnチャネル型TFT上にも形成することを特徴とし、前記柱状スペーサが、少なくとも、前記駆動回路のpチャネル型TFTとnチャネル型TFTのソース配線またはドレイン配線を覆って形成することを特徴としている。

【0026】

【発明の実施の形態】本発明の実施の形態について、以下に示す実施例により詳細な説明を行う。

[実施例1]本発明の実施例を図1～図3を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、表示領域の周辺に設けられる駆動回路のTFTを同時に作製する方法について工程に従って詳細に説明する。

【0027】図1(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。そして、基板101のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜102を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜102aを10～200nm(好ましくは50～

100nm)、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜102bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。

【0028】酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、 SiH_4 を10SCCM、 NH_3 を100SCCM、 N_2O を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、 SiH_4 を5SCCM、 N_2O を120SCCM、 H_2 を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm²、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0029】このようにして作製した酸化窒化シリコン膜102aは、密度が $9.28 \times 10^{22}/\text{cm}^3$ であり、フッ化水素アンモニウム(NH_4HF_2)を7.13%とフッ化アンモニウム(NH_4F)を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20℃におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0030】次に、25~80nm(好ましくは30~60nm)の厚さで非晶質構造を有する半導体層103aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコン・ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層103aとは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスを SiH_4 、 N_2O 、 H_2 から SiH_4 と H_2 或いは SiH_4 のみに切り替えれば、一旦大気雰囲気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0031】そして、結晶化の工程を行い非晶質半導体層103aから結晶質半導体層103bを作製する。その方法としてレーザーアニール法や熱アニール法(固相成長法)、またはラピットサーマルアニール法(RTA法)を適用することができる。前述のようなガラス基板や耐熱性の劣るプラスチック基板を用いる場合には、特にレーザーアニール法を適用することが好ましい。RTA法では、赤外線ランプ、ハロゲンランプ、メタルハラ

イドランプ、キセノンランプなどを光源に用いる。或いは特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質半導体層103bを形成することもできる。結晶化の工程ではまず、非晶質半導体層が含有する水素を放出させておくことが好ましく、400~500℃で1時間程度の熱処理を行い含有する水素量を5atomic%以下にしてから結晶化させると膜表面の荒れを防ぐことができるので良い。

【0032】結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100~500mJ/cm²(代表的には300~400mJ/cm²)とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を80~98%として行う。このようにして図1(B)に示すように結晶質半導体層103bを得ることができる。

【0033】そして、結晶質半導体層103b上にフォトリソマスク1(PM1)を用い、フォトリソグラフィの技術を用いてレジストパターンを形成し、ドライエッチングによって結晶質半導体層を島状に分割し、島状半導体層104~108を形成しする。ドライエッチングには CF_4 と O_2 の混合ガスを用いる。その後、プラズマCVD法またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層194を形成する。

【0034】この状態で島状半導体層に対し、TFTのしきい値電圧(V_{th})を制御する目的でp型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で島状半導体層の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドープ法を用いることができるが、大面積基板を処理するにはイオンドープ法が適している。イオンドープ法ではジボラン(B_2H_6)をソースガスとして用いホウ素(B)を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0035】駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層105、107に選択的に添加する。そのため、フォトリソマスク2(PM2)を用い、レジストマスク195a~195eを形成した。n型を付与する不純物元素としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン

(PH₃)を用いたイオンドープ法を適用する。形成された第1濃度のn型不純物領域196、197のリン(P)濃度は、 $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の範囲とする。本明細書中では、ここで形成された不純物領域196、197に含まれるn型を付与する不純物元素の濃度を(n)と表す。また、不純物領域198は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加する(図1(D))。

【0036】次に、添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500～600℃で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。レーザー活性化の方法による場合、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数5～50Hz、エネルギー密度100～500mJ/cm²として線状ビームのオーバーラップ割合を80～98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。マスク層194はこの段階でフッ酸などの溶液でエッチング除去する。

【0037】ゲート絶縁膜109はプラズマCVD法またはスパッタ法を用い、膜厚を40～150nmとしてシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜から形成すると良い。また、SiH₄とN₂OにO₂を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い(図1(E))。

【0038】そして、図1(E)に示すように、ゲート絶縁膜109上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層(A)110と金属膜から成る導電層(B)111とを積層した構造とすると良い。導電層(B)111はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)110は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。また、導電層(A)110はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)111は低抵抗化を図るため

に含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで20μΩcm以下の比抵抗値を実現することができる。

【0039】導電層(A)110は10～50nm(好ましくは20～30nm)とし、導電層(B)111は200～400nm(好ましくは250～350nm)とすれば良い。Wをゲート電極とする場合には、Wをターゲットとしたスパッタ法で、アルゴン(Ar)ガスと窒素(N₂)ガスを導入して導電層(A)111を窒化タングステン(WN)で50nmの厚さに形成し、導電層(B)110をWで250nmの厚さに形成する。その他の方法として、W膜は6フッ化タングステン(WF₆)を用いて熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

【0040】一方、導電層(A)110にTaN膜を、導電層(B)111にTa膜を用いる場合には、同様にスパッタ法で形成することが可能である。TaN膜はTaをターゲットとしてスパッタガスにArと窒素との混合ガスを用いて形成し、Ta膜はスパッタガスにArを用いる。また、これらのスパッタガス中に適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きであった。TaN膜はα相に近い結晶構造を持つので、この上にTa膜を形成すればα相のTa膜が容易に得られる。尚、図示しないが、導電層(A)110の下に2～20nm程度の厚さでリン(P)をドープしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)110または導電層(B)111が微量に含有するアルカリ金属元素がゲート絶縁膜109に拡散するのを防ぐことができる。いずれにしても、導電層(B)111は抵抗率を10～50μΩcmの範囲ですることが好ましい。

【0041】次に、フォトマスク3(PM3)を用い、フォトリソグラフィの技術を使用してレジストマスク112～117を形成し、導電層(A)110と導電層(B)111とを一括でエッチングしてゲート電極11

8～122と容量配線123を形成する。ゲート電極118～122と容量配線123は、導電層(A)から成る118a～123aと、導電層(B)から成る118b～123bとが一体として形成されている(図2(A))。

【0042】導電層(A)および導電層(B)をエッチングする方法は実施者が適宜選択すれば良いが、前述のようにWを主成分とする材料で形成されている場合には、高速でかつ精度良くエッチングを実施するために高密度プラズマを用いたドライエッチング法を適用することが望ましい。高密度プラズマを得る手法の一つとして、誘導結合プラズマ(Inductively Coupled Plasma: ICP)エッチング装置を用いると良い。ICPエッチング装置を用いたWのエッチング法は、エッチングガスに CF_4 と Cl_2 の2種のガスを反応室に導入し、圧力0.5～1.5Pa(好ましくは1Pa)とし、誘導結合部に200～1000Wの高周波(13.56MHz)電力を印加する。この時、基板が置かれたステージには20Wの高周波電力が印加され、自己バイアスで負電位に帯電することにより、正イオンが加速されて異方性のエッチングを行うことができる。ICPエッチング装置を使用することにより、Wなどの硬い金属膜も2～5nm/秒のエッチング速度を得ることができる。また、残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増しオーバーエッチングをすると良い。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W膜に対する酸化窒化シリコン膜(ゲート絶縁膜109)の選択比は2.5～3であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされて実質的に薄くなる。

【0043】そして、画素TFTのnチャネル型TFTにLDD領域を形成するために、n型を付与する不純物元素添加の工程(n⁻ドープ工程)を行う。ゲート電極118～122および容量配線123をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加する。n型を付与する不純物元素として添加するリン(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲で添加する。このようにして、図2(B)に示すように島状半導体層に第2濃度のn型不純物領域124～129を形成する。

【0044】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する第3濃度のn型不純物領域の形成を行う(n⁺ドープ工程)。まず、フォトマスク4(PM4)を用い、レジストのマスク130～134を形成し、n型を付与する不純物元素を添加して第3濃度のn型不純物領域135～140を形成する。n型を付与する不純物元素にはリン(P)を用い、その濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲となるようにフォスフィン(PH_3)を用いたイ

オンドープ法で行う(図2(C))。

【0045】そして、pチャネル型TFTを形成する島状半導体層104、106にソース領域およびドレイン領域とする第4濃度のp型不純物領域144、145を形成する。ここでは、ゲート電極118、120をマスクとしてp型を付与する不純物元素を添加し、自己整合的に第4濃度のp型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体膜105、107、108は、フォトマスク5(PM5)を用いてレジストマスク141～143を形成し全面を被覆しておく。第4濃度のp型不純物領域144、145はジボロン(B_2H_6)を用いたイオンドープ法で形成する。この領域のボロン(B)濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする(図2(D))。この第4濃度のp型不純物領域144、145には、前工程においてリン(P)が添加されていて、第4濃度のp型不純物領域144a、145aには $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で、第4濃度のp型不純物領域144b、145bには $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の濃度で含有しているが、この工程で添加するボロン(B)の濃度を1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能する上で何ら問題はない。

【0046】その後、図3(A)に示すように、ゲート電極およびゲート絶縁膜上から保護絶縁膜146を形成する。保護絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜146は無機絶縁物材料から形成する。保護絶縁膜146の膜厚は100～200nmとする。ここで、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル(Tetraethyl Ortho Silicate: TEOS)と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度 $0.5 \sim 0.8 \text{ W/cm}^2$ で放電させて形成することができる。酸化窒化シリコン膜を用いる場合には、プラズマCVD法で SiH_4 、 N_2O 、 NH_3 から作製される酸化窒化シリコン膜、または SiH_4 、 N_2O から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波(60MHz)電力密度 $0.1 \sim 1.0 \text{ W/cm}^2$ で形成することができる。また、 SiH_4 、 N_2O 、 H_2 から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法で SiH_4 、 NH_3 から作製することが可能である。

【0047】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用すること

ができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい(図3(B))。

【0048】活性化の工程の後、さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行った。この工程は熱的に励起された水素により島状半導体膜にある $10^{16} \sim 10^{18}/\text{cm}^3$ のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0049】活性化および水素化の工程が終了したら、有機絶縁物材料からなる層間絶縁膜147を1.0～2.0 μm の平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンを用い300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートを用い80℃で60秒の予備加熱を行い、さらにクリーンオープンを用い250℃で60分焼成して形成することができる。

【0050】このように、層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜146として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせる必要がある。

【0051】その後、フォトリソマスク6(PM6)を用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜146をエッチングする。さらに、島状半導体膜との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0052】そして、導電性の金属膜をスパッタ法や真

空蒸着法で形成し、フォトリソマスク7(PM7)によりレジストマスクパターンを形成し、エッチングによってソース配線148～152とドレイン配線153～158を形成する。ここで、ドレイン配線157は画素電極として機能するものである。図示していないが、本実施例ではこの電極を、Ti膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム(Al)を300～400nmの厚さで形成して配線とする。

【0053】この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。また、このような熱処理により保護絶縁膜146や、下地膜102に存在する水素を島状半導体膜104～108に拡散させ水素化をすることもできる。いずれにしても、島状半導体膜104～108中の欠陥密度を $10^{16}/\text{cm}^3$ 以下とすることが望ましく、そのために水素を0.01～0.1atomic%程度付与すれば良い(図3(C))。

【0054】こうして7枚のフォトリソマスクにより、同一の基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができる。駆動回路には第1のpチャネル型TFT200、第1濃度のnチャネル型TFT201、第2のpチャネル型TFT202、第2のnチャネル型TFT203、画素部には画素TFT204、保持容量205が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0055】駆動回路の第1のpチャネル型TFT200には、島状半導体膜104にチャネル形成領域206、第4濃度のp型不純物領域から成るソース領域207a、207b、ドレイン領域208a、208bを有したシングルドレインの構造を有している。第1のnチャネル型TFT201には、島状半導体膜105にチャネル形成領域209、第1濃度の不純物領域から形成され、ゲート電極119と重なるLDD領域210、第3濃度の不純物領域から形成されるソース領域212、ドレイン領域211を有している。このLDD領域において、ゲート電極119と重なるLDD領域を L_{ov} としてそのチャネル長方向の長さは0.5～3.0 μm 、好ましくは1.0～2.0 μm とした。nチャネル型TFTにおけるLDD領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。駆動回路の第2のpチャネル型TFT202は同様に、島状半導体膜106にチャネル形成領域213、第4濃度のp型不純物領域から成るソース領域214a、214b、ドレイン領域215a、215bを

有したシングルドレインの構造を有している。第2のnチャネル型TFT203には、島状半導体膜107にチャネル形成領域216、第1濃度の不純物領域から形成され、ゲート電極121と一部が重なるLDD領域217、218、第3濃度の不純物領域から形成され、ソース領域220、ドレイン領域219が形成されている。このTFTのゲート電極と重なる L_{ov} の長さも0.5～3.0 μm 、好ましくは1.0～2.0 μm とした。また、ゲート電極と重ならないLDD領域を L_{off} として、このチャネル長方向の長さは0.5～4.0 μm 、好ましくは1.0～2.0 μm とした。画素TFT204には、島状半導体膜108にチャネル形成領域221、222、第2濃度の不純物領域から形成されるLDD領域223～225、第3濃度の不純物領域から形成されるソースまたはドレイン領域226～228を有している。LDD領域(L_{off})のチャネル長方向の長さは0.5～4.0 μm 、好ましくは1.5～2.5 μm である。さらに、容量配線123と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT204のドレイン領域228に接続する半導体層229とから保持容量205が形成されている。図3(C)では画素TFT204をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0056】図16は画素部のほぼ一画素分を示す上面図である。図中に示すA-A'断面が図3(C)に示す画素部の断面図に対応している。画素TFT204は、ゲート配線を兼ねるゲート電極122は、図示されていないゲート絶縁膜を介してその下の島状半導体層108と交差している。図示はしていないが、島状半導体層には、ソース領域、ドレイン領域、LDD領域が形成されている。また、256はソース配線152とソース領域226とのコンタクト部、257はドレイン配線157とドレイン領域228とのコンタクト部である。保持容量205は、画素TFT204のドレイン領域228から延在する半導体層229とゲート絶縁膜を介して容量配線123が重なる領域で形成されている。この構成において半導体層229には、価電子制御を目的とした不純物元素は添加されていない。

【0057】以上の様な構成は、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。

【0058】〔実施例2〕高精細で高画質の液晶表示装置を実現するためには、画素TFTや駆動回路の各回路を構成するTFTの特性を向上させる必要がある。要求されるTFTの特性は、しきい値電圧や電界効果移動

度、サブスレシールド係数(S値)などの他に、オフ状態で流れる電流(オフ電流)値を低減させることができる。オフ電流値が高い場合には、消費電力が増大するばかりでなく、駆動回路の動作特性が悪化して画質の低下をもたらす要因となる。実施例1で作製したnチャネル型TFTにはLDD領域が形成され、これによってオフ電流値を問題ない程度にまで低減させることができる。一方、pチャネル型TFTはシングルドレイン構造なので、オフ電流値の増加がしばしば問題となることがある。本実施例ではそのような場合に適したオフセット領域を有するpチャネル型TFTの作製方法を図4を用いて説明する。

【0059】まず、実施例1と同様にして図1(A)～図2(A)に示す工程を行い、ゲート電極118～122と容量配線123までを形成する。そして、nチャネル型TFTにLDD領域を形成するために、n型を付与する不純物元素添加の工程(nドープ工程)を行う。ここではゲート電極をマスクとして自己整合的にn型を付与する不純物元素を添加するが、フォトマスクを用いてpチャネル型TFTを形成する島状半導体層104、106の全面をレジストマスク158、159で被覆して不純物元素が添加されないようにする。このようにして、図4(A)に示すように島状半導体層に第2濃度のn型不純物領域125～129を形成する。

【0060】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する第3濃度のn型不純物領域の形成を行う。フォトマスクを用い、レジストのマスク130～134を形成し、n型を付与する不純物元素を添加して第3濃度のn型不純物領域135～140を形成する(図4(B))。

【0061】その後、実施例1と同様にして保護絶縁層146を形成する。そして、pチャネル型TFTを形成する島状半導体層104、106にソース領域およびドレイン領域とする第4濃度のp型不純物領域144、145を形成する。nチャネル型TFTを形成する島状半導体膜105、107、108は、フォトマスクを用いてレジストマスク160～162を形成し全面を被覆しておく。この工程はイオンドープ法などで行われるものであり、注入される不純物元素は僅かなゆらぎを持つものの、島状半導体層の表面に対してほぼ垂直に入射する。ここで、保護絶縁層146はゲート電極の端部においても被覆性良く形成されるので、その端部に形成された保護絶縁層がマスクとして機能するので、実質的にその膜厚分だけゲート電極から離れて第4濃度のp型不純物領域144、145が形成される。即ち、チャネル形成領域と第4濃度のp型不純物領域との間にオフセット領域230、231が L_o の長さで形成される。具体的に L_o の長さは、保護絶縁層146の厚さに相当するものであるから、100～200nmの長さで形成される。

【0062】このようなオフセット領域は、TFTの電

気的特性において直列抵抗成分として寄与し、オフ電流値を1/10から1/100程度低減させることができる。以降は、実施例1と同様にして図3(A)からの工程を行うことにより7枚のフォトマスクによりアクティブマトリクス基板を完成させることができる。

【0063】[実施例3] 実施例1ではゲート電極の材料にWやTaなどの耐熱性導電性材料を用いる例を示した。このような材料を用いる理由は、ゲート電極形成後に価電子制御を目的として半導体層に添加した不純物元素を主として、400～700℃の熱アニールによって活性化させることに起因している。しかしながら、このような耐熱性導電性材料は面積抵抗で10Ω程度あり、画面サイズが4インチクラスかそれ以上の液晶表示装置には適していない。ゲート電極に接続するゲート配線を同じ材料で形成すると、基板面上における引回し長さが必然的に大きくなり、配線抵抗の影響による配線遅延の問題を無視することができなくなるためである。

【0064】例えば、画素密度がVGAの場合、480本のゲート配線と640本のソース配線が形成され、XGAの場合には768本のゲート配線と1024本のソース配線が形成される。表示領域の画面サイズは、13インチクラスの場合対角線の長さは340mmとなり、18インチクラスの場合には460mmとなる。本実施例ではこのような液晶表示装置を実現する手段として、ゲート配線をAlや銅(Cu)などの低抵抗導電性材料で形成する方法について図5を用いて説明する。

【0065】まず、実施例1と同様にして図1(A)～図2(D)に示す工程を行う。そして、価電子制御を目的としてそれぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンেসアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では525℃で4時間の熱処理を行う。

【0066】この熱処理において、ゲート電極118～122と容量配線123を形成する導電層(B)118b～123bは、表面から5～80nmの厚さで導電層(C)118c～123cが形成される。例えば、導電層(B)118b～123bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)が形成される。また、導電層(C)118c～123cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極118～123を晒しても同様に形成することができる。さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は

熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い(図5(A))。

【0067】活性化および水素化の工程が終了したら、ゲート配線を低抵抗導電性材料で形成する。この低抵抗導電性層はAlやCuを主成分とする導電層(D)で形成する。例えば、Tiを0.1～2重量%含むAl膜を導電層(D)として全面に形成する(図示せず)。導電層(D)145は200～400nm(好ましくは250～350nm)とすれば良い。そして、フォトマスクを用いて所定のレジストパターンを形成し、エッチング処理して、ゲート配線163、164と容量配線165を形成する。エッチング処理はリン酸系のエッチング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線を形成することができる。そして保護絶縁膜146を形成する(図5(B))。

【0068】その後、実施例1と同様にして有機絶縁材料から成る層間絶縁膜147、ソース配線148～151、167、ドレイン配線153～156、168を形成してアクティブマトリクス基板を完成させることができる。図6(A)、(B)はこの状態の上面図を示し、図6(A)のB-B'断面および図6(B)のC-C'断面は図5(C)のA-A'およびC-C'に対応している。図6(A)、(B)ではゲート絶縁膜、保護絶縁膜、層間絶縁膜を省略して示しているが、島状半導体層104、105、108の図示されていないソースおよびドレイン領域にソース配線148、149、167とドレイン配線153、154、168がコンタクトホールを介して接続している。また、図6(A)のD-D'断面および図6(B)のE-E'断面を図7(A)と(B)にそれぞれ示す。ゲート配線163はゲート電極118、119と、またゲート配線164はゲート電極122と島状半導体層104、105、108の外側で重なるように形成され、導電層(C)と導電層(D)が接触して電氣的に導通している。このようにゲート配線を低抵抗導電性材料で形成することにより、配線抵抗を十分低減できる。従って、画素部(画面サイズ)が4インチクラス以上の表示装置に適用することができる。

【0069】[実施例4] 実施例1で作製したアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図10を用いて説明する。

【0070】アクティブマトリクス基板は実施例1と同様に作製する。図10(A)では、ソース配線とドレイン配線は導電性の金属膜をスパッタ法や真空蒸着法で形

成する。これは、Ti膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム（Al）を300～400nmの厚さで形成し、さらにTi膜または窒化チタン（TiN）膜を100～200nmの厚さで形成して3層構造とした。その後、透明導電膜を全面に形成し、フォトリソ処理およびエッチング処理により画素電極171を形成する。画素電極171は、層間絶縁膜147上に形成され、画素TFT204のドレイン配線169と重なる部分を設け、接続構造を形成している。

【0071】図10（B）では最初に層間絶縁膜147上に透明導電膜を形成し、パトリソ処理およびエッチング処理をして画素電極171を形成した後、ドレイン配線169を画素電極171と重なる部分を設けて形成した例である。ドレイン配線169はTi膜を50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム（Al）を300～400nmの厚さで形成して設ける。この構成にすると、画素電極171はドレイン配線169を形成するTi膜のみと接触することになる。その結果、透明導電膜材料とAlとが反応するのを防止できる。

【0072】透明導電膜の材料は、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ ；ITO）などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン配線169の端面で接触するAlとの腐蝕反応を防止できる。同様に、酸化亜鉛（ZnO）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ $\text{ZnO}:\text{Ga}$ ）などを用いることができる。

【0073】このようにして、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例1と同様な工程として説明したが、このような構成は実施例2や実施例3で示すアクティブマトリクス基板に適用することができる。

【0074】〔実施例5〕本実施例では、実施例1～実施例4で示したアクティブマトリクス基板のTFTの活性層を形成する結晶質半導体層の他の作製方法について示す。結晶質半導体層は非晶質半導体層を熱アニール法やレーザーアニール法、またはRTA法などで結晶化させて形成するが、その他に特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用す

ることもできる。その場合の例を図8を用いて説明する。

【0075】図8（A）で示すように、実施例1と同様にして、ガラス基板101上に下地膜102a、102b、非晶質半導体層103aを25～80nmの厚さで形成する。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピコート法で塗布して触媒元素を含有する層170を形成する。触媒元素にはニッケル（Ni）、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）などである。この触媒元素を含有する層170は、スピコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を1～5nmの厚さに形成しても良い。

【0076】そして、図8（B）に示す結晶化の工程では、まず400～500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atomic%以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中において550～600℃で1～8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層103cを得ることができる（図8

（C））。しかし、この熱アニールによって作製された結晶質半導体層103cは、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では480 cm^{-1} にブロードなピークを持つ非晶質成分が観測される。そのため、熱アニールの後に実施例1で説明したレーザーアニール法で結晶質半導体層103cを処理してその結晶性を高めることは有効な手段として適用できる。

【0077】このようにして作製された結晶質半導体層103cから島状半導体層104～108を作製すれば、実施例1と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体膜中には微量（ $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/ cm^3 程度）の触媒元素が残留する。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン（P）によるゲッタリング作用を利用する手段がある。

【0078】この目的におけるリン（P）によるゲッタリング処理は、図3（B）で説明した活性化工程で同時に行うことができる。この様子を図9で説明する。ゲッタリングに必要なリン（P）の濃度は第3濃度のn型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触媒元素をその濃度で

リン(P)を含有する不純物領域へ偏析させることができる(図9で示す矢印の方向)。その結果その不純物領域には $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³程度の触媒元素が偏析した。このようにして作製したTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

【0079】〔実施例6〕本実施例では実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図11(A)に示すように、図3(C)の状態のアクティブマトリクス基板に柱状スペーサから成るスペーサを形成する。スペーサは数 μ mの粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、JSR社製のNN700を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで150~200℃で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、図13で示すように、柱状スペーサ173の形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、高さHを1.2~5 μ mとし、平均半径L1を5~7 μ m、平均半径L1と底部の半径L2との比を1対1.5とする。このとき側面のテーパ角は $\pm 15^\circ$ 以下とする。

【0080】柱状スペーサの配置は任意に決定すれば良いが、好ましくは、図11(A)で示すように、画素部においてはドレイン配線168(画素電極)のコンタクト部と重ねてその部分を覆うように柱状スペーサ173を形成すると良い。コンタクト部は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部にスペーサ用の樹脂を充填する形で柱状スペーサ173を形成することでディスクリネーションなどを防止することができる。

【0081】その後、配向膜174を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ173の端部からラビング方向に対してラビングされない領域が2 μ m以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路のTFT上にもスペーサ172を形成しておく、スペーサとしての本来の役割と、静電気からTFTを保護する効果を得ることができる。

【0082】対向側の対向基板175には、遮光膜176、透明導電膜177および配向膜178を形成する。

遮光膜176はTi、Cr、Alなどを150~300nmの厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤179で貼り合わせる。シール剤179にはフィラー180が混入されていて、このフィラー180とスペーサ172、173によって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料606を注入し、封止剤(図示せず)によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図11(B)に示すアクティブマトリクス型液晶表示装置が完成する。

【0083】また、図19に示すように、配向膜174を形成した後、スペーサを形成した構成としても良い。

【0084】図11ではスペーサ172を駆動回路のTFT上の全面に形成する例を示したが、図12に示すようにこのスペーサを複数個に分割してスペーサ172a~172eとして形成しても良い。駆動回路が形成されている部分に設けるスペーサは、このように少なくとも駆動回路のソース配線およびドレイン配線を覆うように形成すれば良い。このような構成とすることによって、駆動回路の各TFTは、保護絶縁膜146と層間絶縁膜147とスペーサ172またはスペーサ172a~172eによって完全に覆われ保護されることになる。

【0085】図14はアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。画素部188の周辺に駆動回路として走査信号駆動回路185と画像信号駆動回路186が設けられている。さらに、その他CPUやメモリーなどの信号処理回路187も付加されていても良い。そして、これらの駆動回路は接続配線183によって外部入出力端子182と接続されている。画素部188では走査信号駆動回路185から延在するゲート配線群189と画像信号駆動回路186から延在するソース配線群190がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素TFT204と保持容量205が設けられている。

【0086】画素部において設けられる柱状スペーサ173は、すべての画素に対して設けても良いが、マトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は20~100%とすると良い。また、駆動回路部に設けるスペーサ172、172'、172''はその全面を覆うように設けても良いし、図12で示したように各TFTのソースおよびドレイン配線の位置にあわせて複数個に分割して設けても良い。

【0087】シール剤179は、基板101上の画素部188および走査信号制御回路185、画像信号制御回路186、その他の信号処理回路187の外側であって、外部入出力端子182よりも内側に形成する。

【0088】このようなアクティブマトリクス型液晶表

示装置の構成を図15の斜視図を用いて説明する。図15においてアクティブマトリクス基板は、ガラス基板101上に形成された、画素部188と、走査信号駆動回路185と、画像信号駆動回路186とその他の信号処理回路187とで構成される。画素部188には画素TFT204と保持容量205が設けられ、画素部の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路185と、画像信号駆動回路186はそれぞれゲート配線122とソース配線152で画素TFT204に接続している。また、フレキシブルプリント配線板(Flexible Printed Circuit:FPC)191が外部入力端子182に接続していて画像信号などを入力するのに用いる。そして接続配線183でそれぞれの駆動回路に接続している。また、対向基板175には図示していないが、遮光膜や透明電極が設けられている。

【0089】図18は外部入出力端子182とFPC191との接続構造を説明する図である。外部入出力端子182はソース配線またはドレイン配線と同じ構成で導電性金属膜から形成され、層間絶縁膜147が除去された基板101上に形成される。FPC191はポリイミドなどの有機樹脂フィルム301に銅配線302が形成されていて、異方性導電性接着剤で外部入出力端子182と接続する。異方性導電性接着剤は接着剤303と、その中に混入され金などがメッキされた数十〜数百 μm 径の導電性表面を有する粒子304により構成され、この粒子304が外部入出力端子182と銅配線302とに接触することによりこの部分で電気的な接触が形成される。FPC191は基板101との接着強度を高めるために、外部入出力端子182の外側にはみだして接着されると共に、端部には樹脂層192が設けられこの部分における機械的強度を高めている。

【0090】また、図20に示すように、外部入出力端子182とFPC191との接続構造を同一なものとして、シール剤179の外側にもスペーサ199を設け、アクティブマトリクス基板と対向基板とで挟持させるとこの部分の機械的強度を高めることができる。このような構成は、特に、外部入出力端子182を露出させるために、対向基板の一部を切断するとき有効に作用する。

【0091】このような構成の液晶表示装置は、実施例1〜4で示したアクティブマトリクス基板を用いて形成することができる。実施例1〜3で示すアクティブマトリクス基板を用いれば反射型の液晶表示装置が得られ、実施例4で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

【0092】〔実施例7〕図17は実施例1〜4で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。このアクティブマトリクス基板は、画像信号駆動回路186、走

査信号駆動回路(A)(B)185、画素部188を有している。尚、本明細書中において記した駆動回路とは、画像信号駆動回路186、走査信号駆動回路185を含めた総称である。

【0093】画像信号駆動回路186は、シフトレジスタ回路501a、レベルシフト回路502a、バッファ回路503a、サンプリング回路504を備えている。また、走査信号駆動回路(A)(B)185は、シフトレジスタ回路501b、レベルシフト回路502b、バッファ回路503bを備えている。

【0094】シフトレジスタ回路501a、501bは駆動電圧が5〜16V(代表的には10V)であり、この回路を形成するCMOS回路のTFTは、図3(C)の第1のpチャネル型TFT200と第1のnチャネル型TFT201で形成する。また、レベルシフト回路502a、502bやバッファ回路503a、503bは駆動電圧が14〜16Vと高くなるがシフトレジスタ回路と同様なTFTを用いれば良い。また、これらの回路において、ゲートをマルチゲート構造で形成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

【0095】サンプリング回路504はアナログスイッチから成り、駆動電圧が14〜16Vであるが、極性が交互に反転して駆動される上、オフ電流値を低減させる必要があるため、図3(C)で示す第2のpチャネル型TFT202と第2濃度のnチャネル型TFT203で形成することが望ましい。この回路において、pチャネル型TFT202のオフ電流値が問題となるときは、実施例2で示す工程で作製した、オフセット領域を設けたシングルドレイン構造のTFTで作製すると良い。

【0096】また、画素部は駆動電圧が14〜16Vであり、低消費電力化の観点からサンプリング回路よりもさらにオフ電流値を低減することが要求され、図3

(C)で示す画素TFT204のようにマルチゲート構造とし、さらにLDD領域を設けた構造とするのが望ましい。

【0097】尚、本実例の構成は、実施例1〜4に示した工程に従ってTFTを作製することによって容易に実現することができる。本実施例では、画素部と駆動回路の構成のみを示しているが、実施例1〜4の工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ、 γ 補正回路、オペアンプ回路、さらにメモリ回路や演算処理回路などの信号処理回路、あるいは論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板上に画素部とその駆動回路とを含む半導体装置、例えば信号制御回路および画素部を具備した液晶表示装置を実現することができる。

【0098】〔実施例8〕本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置並びにEL型表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として

組み込んだ電子機器全てに本発明を適用することができ、電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍など）、ナビゲーションシステムなどが上げられる。それらの一例を図22に示す。

【0099】図22（A）はパーソナルコンピュータであり、マイクロプロセッサやメモリなどを備えた本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本発明は表示装置2003やその他の信号処理回路を形成することができる。

【0100】図22（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明は表示装置2102やその他の信号制御回路に適用することができる。

【0101】図22（C）は携帯情報端末であり、本体2201、画像入力部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本発明は表示装置2205やその他の信号制御回路に適用することができる。

【0102】このような携帯型情報端末は、屋内はもとより屋外で利用されることも多い。長時間の使用を可能とするためにはバックライト使用せず、外光を利用する反射型の液晶表示装置が低消費電力型として適しているが、周囲が暗い場合にはバックライトを設けた透過型の液晶表示装置が適している。このような背景から反射型と透過型の両方の特徴を兼ね備えたハイブリット型の液晶表示装置が開発されているが、本発明はこのようなハイブリット型の液晶表示装置にも適用できる。図21にそれを携帯型情報端末に適用した例を示す。表示装置2205はタッチパネル3002、液晶表示装置3003、LEDバックライト3004により構成されている。タッチパネル3002は携帯型情報端末の操作を簡便にするために設けている。タッチパネル3002の構成は、一端にLEDなどの発光素子3100を、他の一端にフォトダイオードなどの受光素子3200が設けられ、その両者の間に光路が形成されている。このタッチパネル3002を押して光路を遮ると受光素子3200の出力が変化するので、この原理を用いて発光素子と受光素子を液晶表示装置上でマトリクス状に配置させることにより、入力媒体として機能させることができる。

【0103】図21（B）はハイブリット型の液晶表示装置の画素部の構成であり、層間絶縁膜147上にドレイン電極169と画素電極171が設けられている。このような構成は、実施例4を適用すれば形成することができる。ドレイン電極はTi膜とAl膜の積層構造として画素電極を兼ねる構成としている。画素電極171は実施例4で説明した透明導電膜材料を用いて形成する。液晶表示装置3003をこのようなアクティブマトリク

ス基板から作製することで携帯型情報端末に好適に用いることができる。

【0104】図22（D）はテレビゲームまたはビデオゲームなどの電子遊技機器であり、CPU等の電子回路2308、記録媒体2304などが搭載された本体2301、コントローラ2305、表示装置2303、本体2301に組み込まれた表示装置2302で構成される。表示装置2303と本体2301に組み込まれた表示装置2302とは、同じ情報を表示しても良いし、前者を主表示装置とし、後者を副表示装置として記録媒体2304の情報を表示したり、機器の動作状態を表示したり、或いはタッチセンサーの機能を付加して操作盤とすることもできる。また、本体2301とコントローラ2305と表示装置2303とは、相互に信号を伝達するために有線通信としても良いし、センサ部2306、2307を設けて無線通信または光通信としても良い。本発明は、表示装置2302、2303に適用することができる。表示装置2303は従来のCRTを用いることもできる。

【0105】図22（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示装置2402、スピーカー部2403、記録媒体2404、操作スイッチ2405で構成される。尚、記録媒体にはDVD（Digital Versatile Disc）やコンパクトディスク（CD）などを用い、音楽プログラムの再生や映像表示、ビデオゲーム（またはテレビゲーム）やインターネットを介した情報表示などを行うことができる。本発明は表示装置2402やその他の信号制御回路に好適に利用することができる。

【0106】図22（F）はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部（図示しない）で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0107】図23（A）はフロント型プロジェクターであり、光源光学系および投射装置2601、スクリーン2602で構成される。本発明は投射装置やその他の信号制御回路に適用することができる。図23（B）はリア型プロジェクターであり、本体2701、光源光学系および投射装置2702、ミラー2703、スクリーン2704で構成される。本発明は投射装置やその他の信号制御回路に適用することができる。

【0108】なお、図23（C）に、図23（A）および図23（B）における光源光学系および投射装置2601、2702の構造の一例を示す。光源光学系および投射装置2601、2702は光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、ビームスプリッター2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は複数の光学レンズ

で構成される。図23(C)では液晶表示装置2808を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図23(C)中で矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IRフィルムなどを設けても良い。また、図23(D)は図23(C)における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801はリフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。尚、図23(D)に示した光源光学系は一例であって図示した構成に限定されるものではない。

【0109】また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などに適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～4の結晶化技術を用いて実現することができる。

【0110】

【発明の効果】本発明を用いることで、同一の基板上に複数の機能回路が形成された半導体装置（ここでは具体的には電気光学装置）において、その機能回路が要求する仕様に応じて適切な性能のTFTを配置することが可能となり、その動作特性を大幅に向上させることができる。

【0111】本発明の半導体装置の作製方法に従えば、駆動回路部のpチャネル型TFTをシングルドレインの構造としnチャネル型TFTをGOLD構造またはLDD構造とし、また画素部の画素TFTをLDD構造としたアクティブマトリクス基板を6枚のフォトマスクで製造することができ、このようなアクティブマトリクス基板から反射型の液晶表示装置を作製することができる。また、同工程に従えば透過型の液晶表示装置を7枚のフォトマスクで製造することができる。

【0112】本発明の半導体装置の作製方法に従えば、駆動回路部のpチャネル型TFTをオフセット領域を有するシングルドレインの構造としnチャネル型TFTをGOLD構造またはLDD構造とし、また画素部の画素TFTをLDD構造としたアクティブマトリクス基板を7枚のフォトマスクで製造することができ、このようなアクティブマトリクス基板から反射型の液晶表示装置を作製することができる。また、同工程に従えば透過型の液晶表示装置を8枚のフォトマスクで製造することができる。

【0113】本発明の半導体装置の作製方法に従えば、ゲート電極を耐熱性導電性材料で形成し、ゲート配線を低抵抗導電性材料で形成したTFTにおいて、駆動回路部のpチャネル型TFTをシングルドレインの構造とし

nチャネル型TFTをGOLD構造またはLDD構造とし、また画素部の画素TFTをLDD構造としたアクティブマトリクス基板を7枚のフォトマスクで製造することができ、このようなアクティブマトリクス基板から反射型の液晶表示装置を作製することができる。また、同工程に従えば、透過型の液晶表示装置を8枚のフォトマスクで製造することができる。

【0114】このように、アクティブマトリクス基板の製造に必要なフォトマスクの枚数を6～8枚とすることにより、製造工程が簡略化され、製造コストを大幅に低減することができる。

【図面の簡単な説明】

【図1】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図2】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図3】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図4】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図5】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図6】 駆動回路のTFTと画素TFTの構造を示す上面図。

【図7】 駆動回路のTFTの作製工程を示す断面図。

【図8】 結晶質半導体膜の作製工程を示す断面図。

【図9】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図10】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図11】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図12】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図13】 柱状スペーサの形状を説明する図

【図14】 液晶表示装置の入出力端子、配線、回路配置、スペーサ、シール剤の配置を説明する上面図。

【図15】 液晶表示装置の構造を示す斜視図。

【図16】 画素部の画素を示す上面図。

【図17】 液晶表示装置の回路構成を説明するブロック図。

【図18】 フレキシブルプリント配線板と外部入出力端子の接続構造を説明する図。

【図19】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

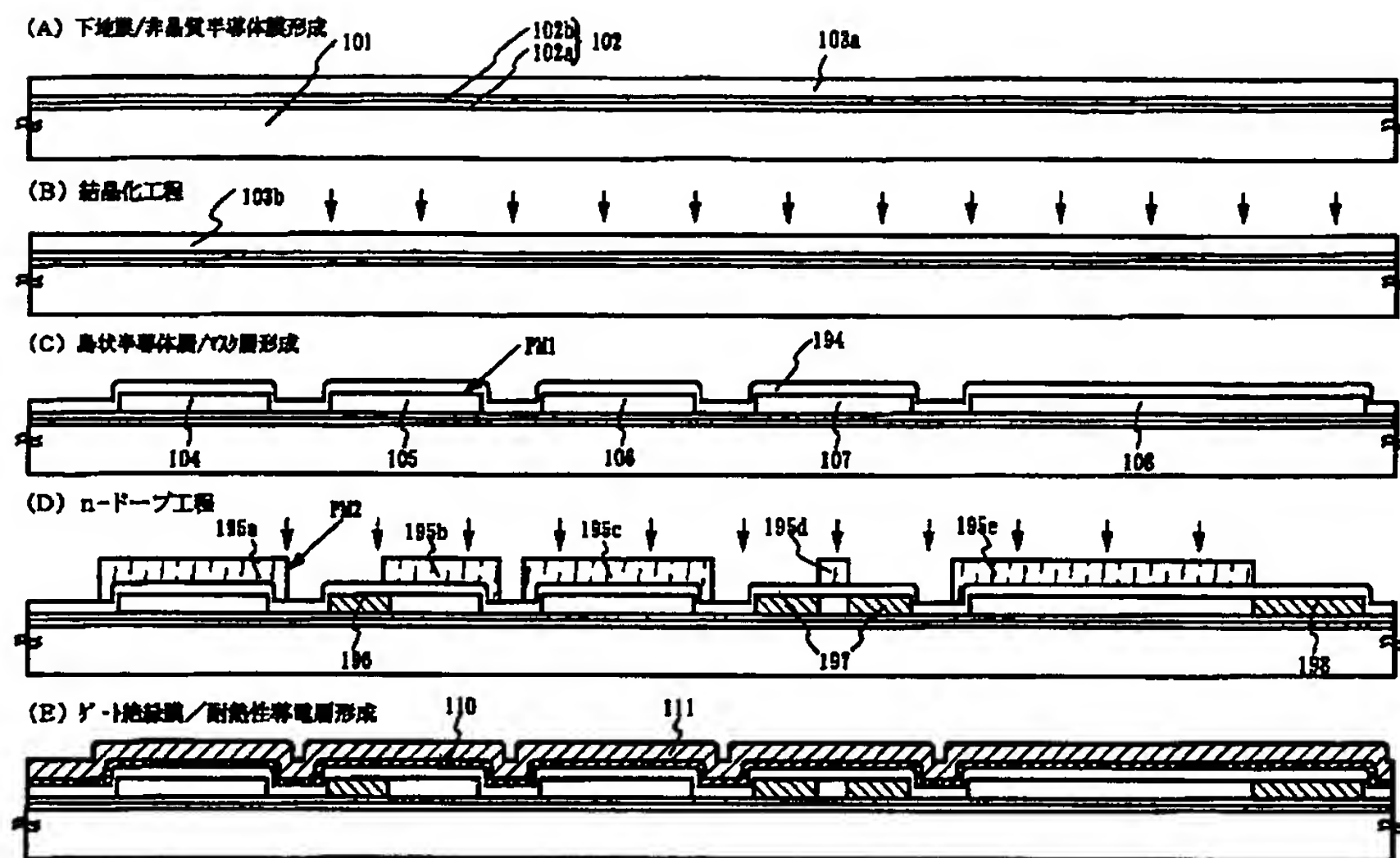
【図20】 フレキシブルプリント配線板と外部入出力端子の接続構造を説明する図。

【図21】 半導体装置の一例を示す図。

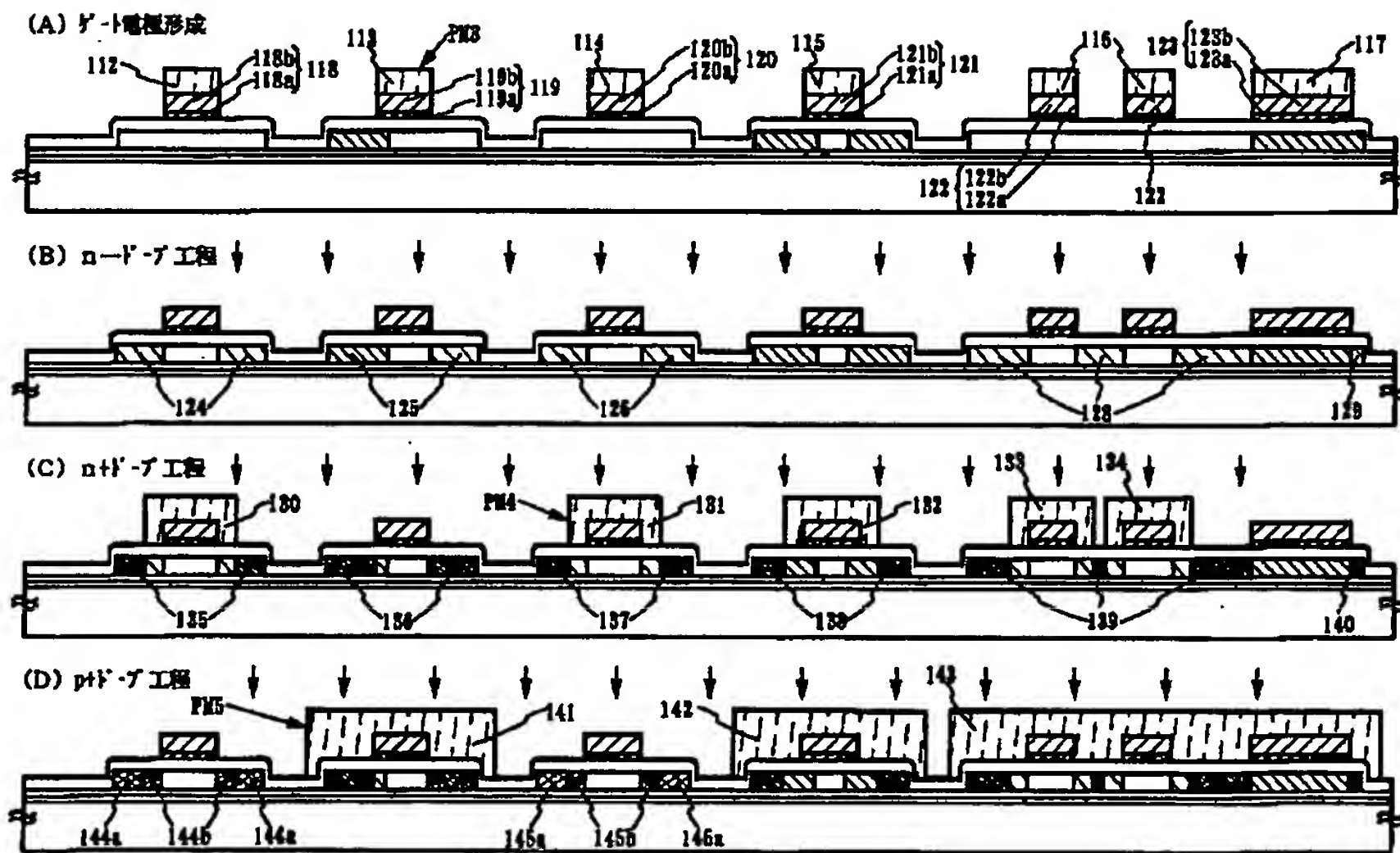
【図22】 半導体装置の一例を示す図。

【図23】 投影型液晶表示装置の構成を示す図。

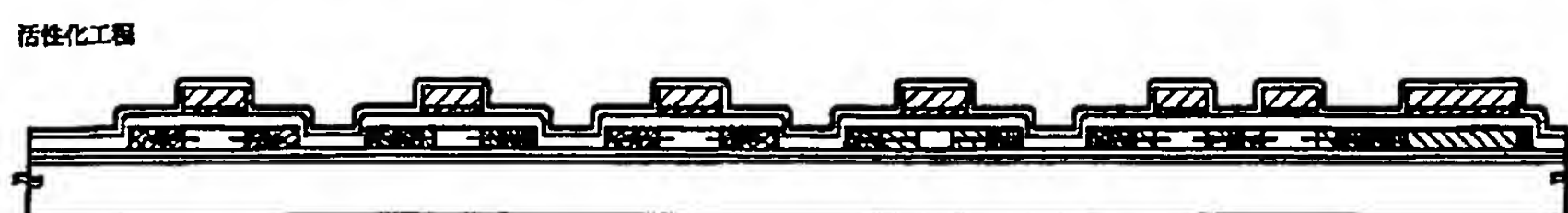
【図1】



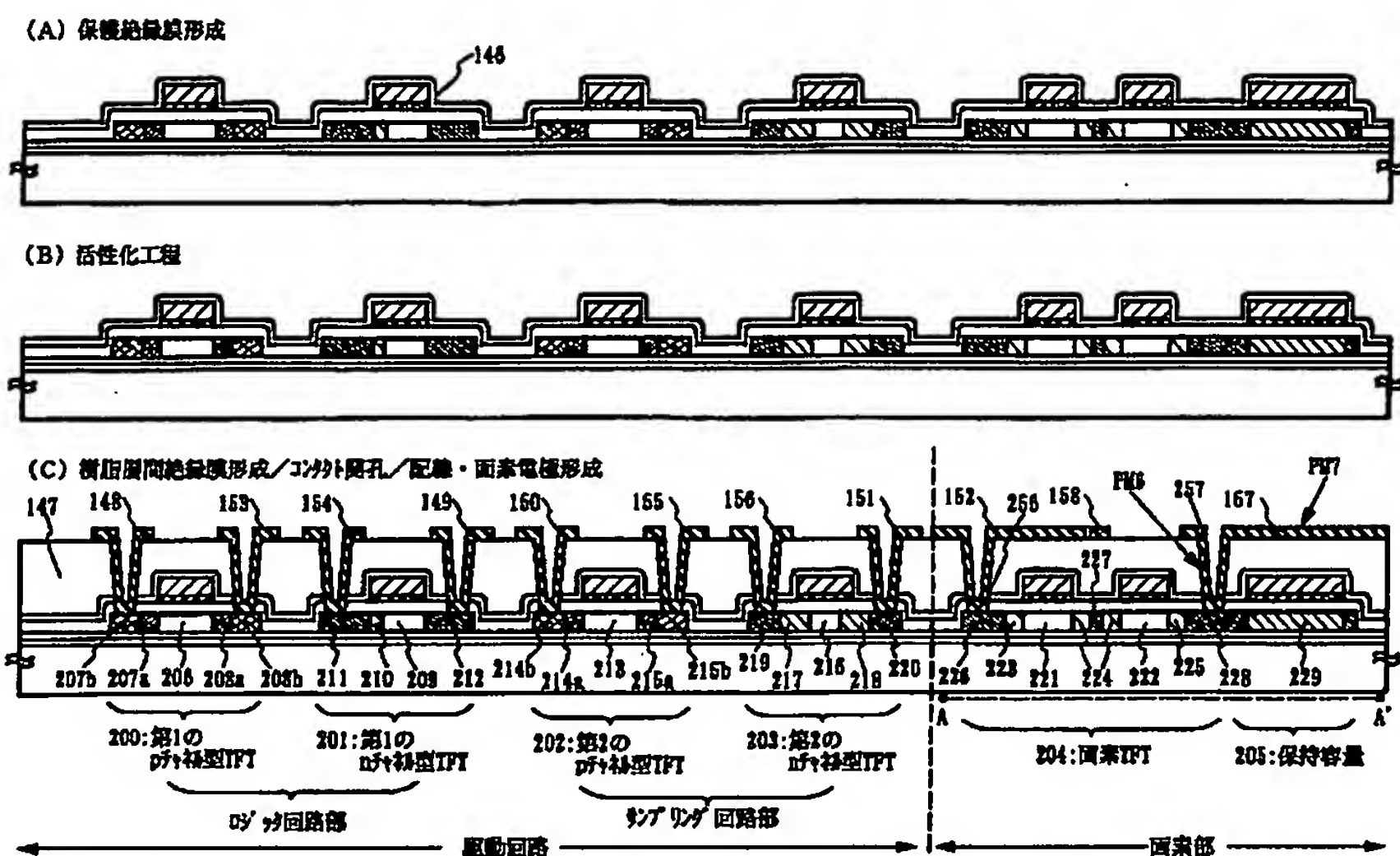
【図2】



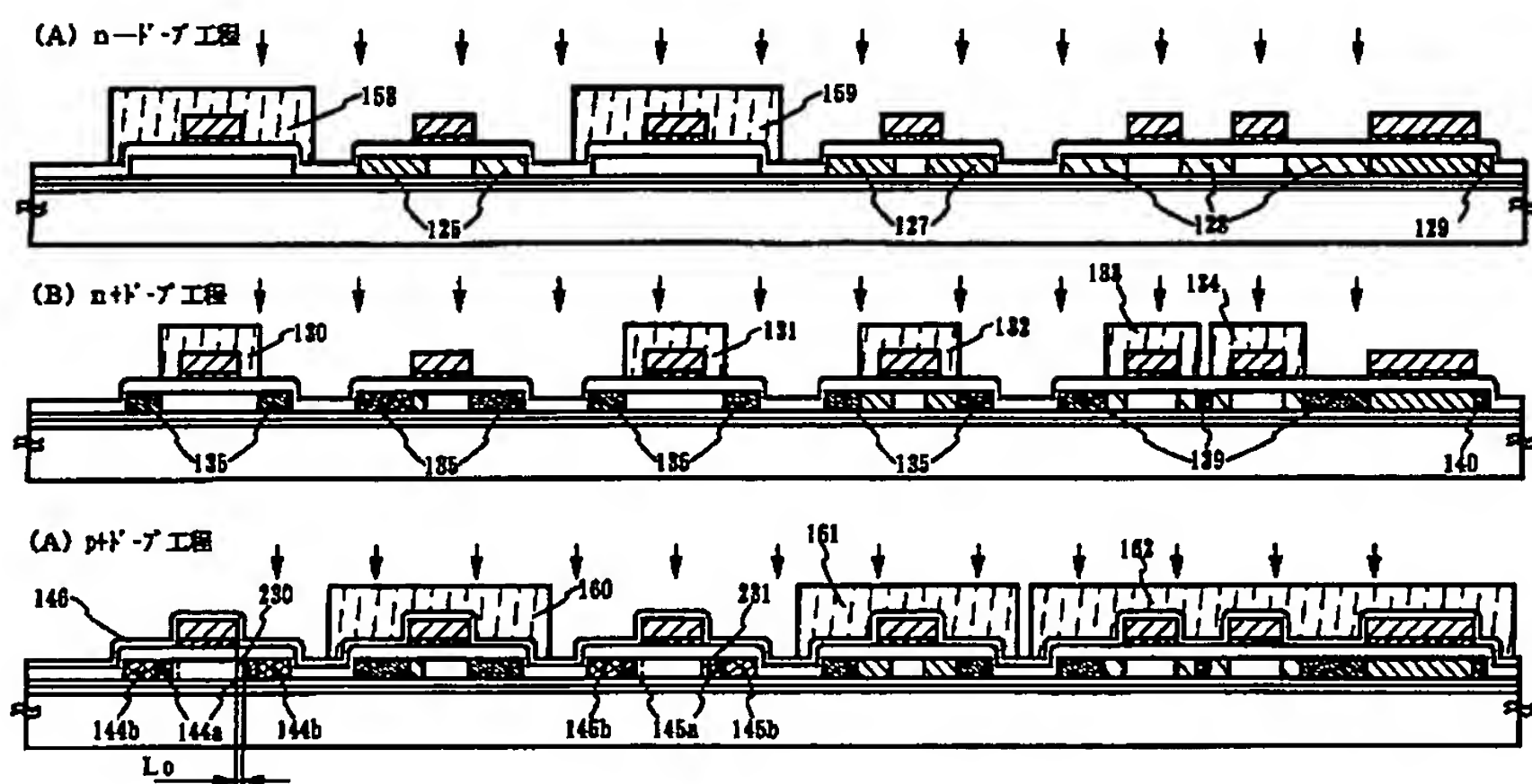
【図9】



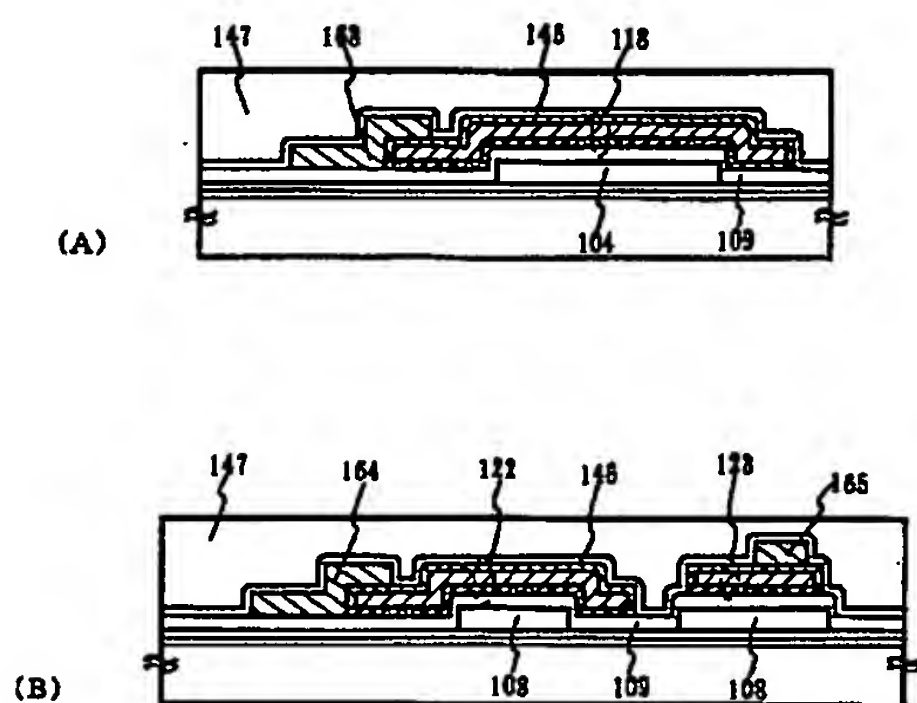
【図 3】



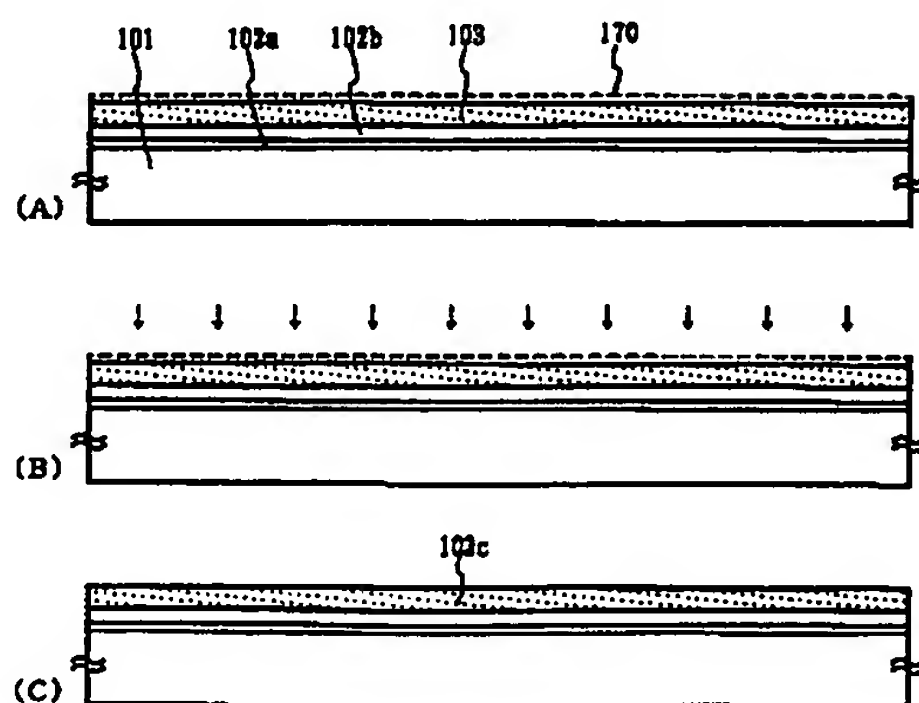
【図 4】



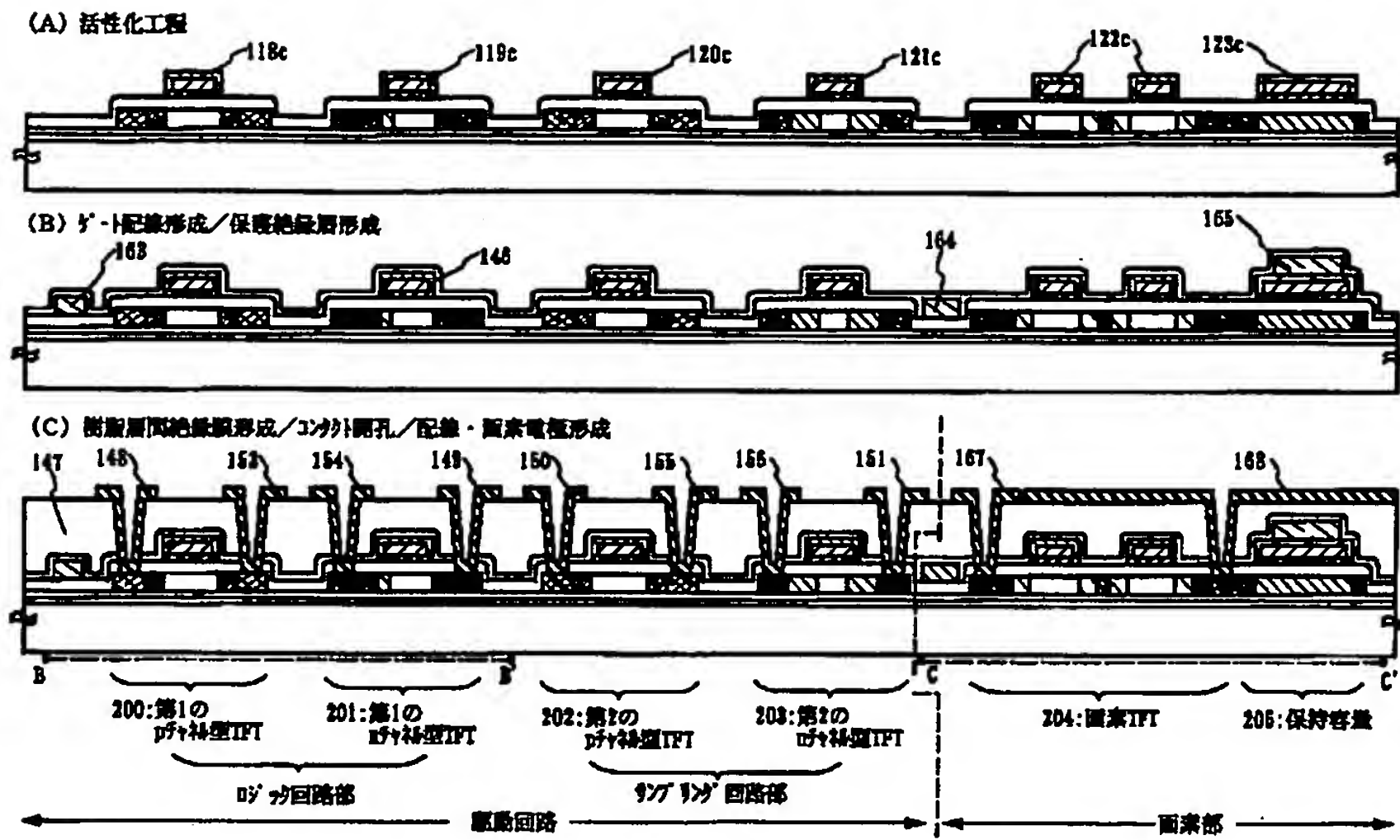
【図 7】



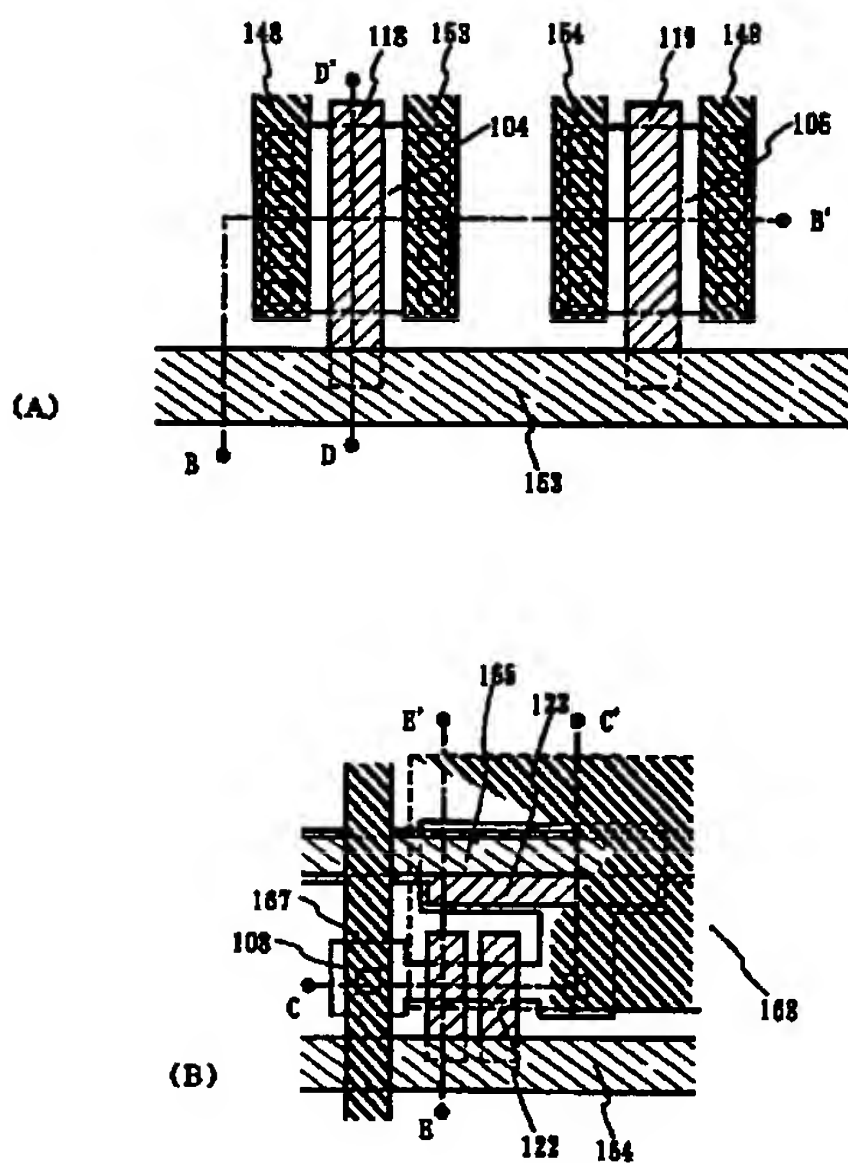
【図8】



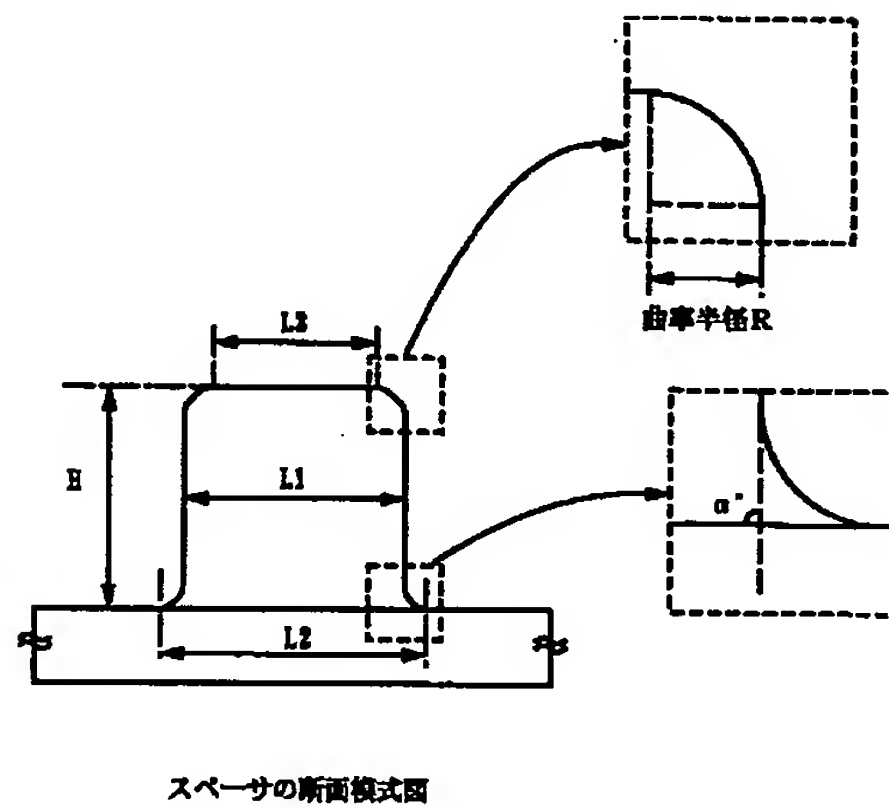
【図5】



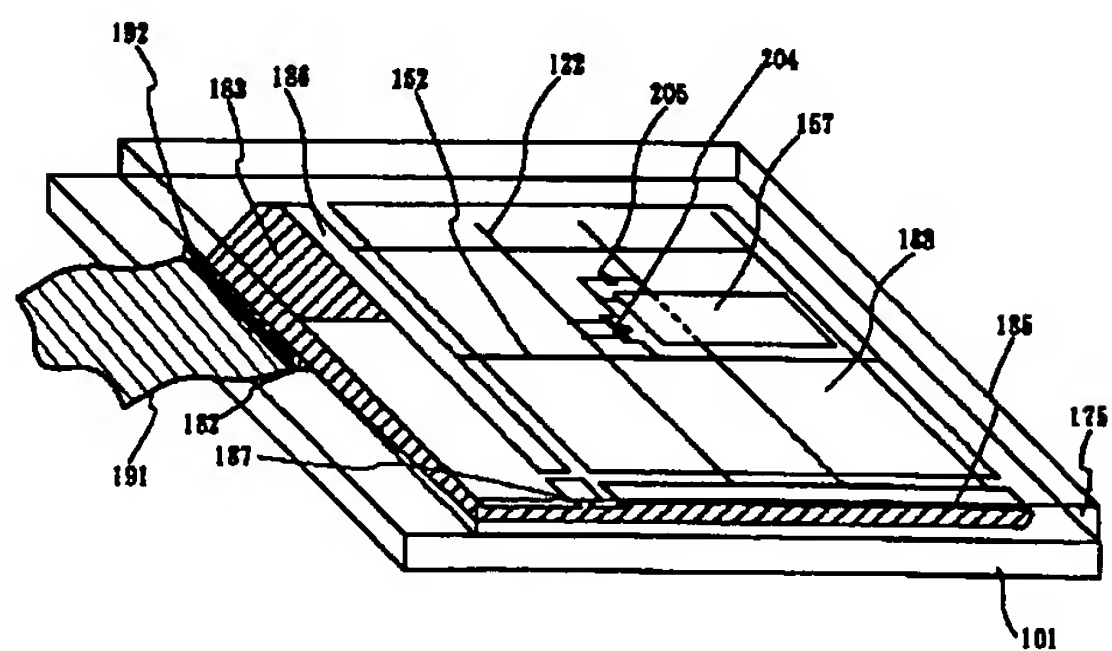
【図6】



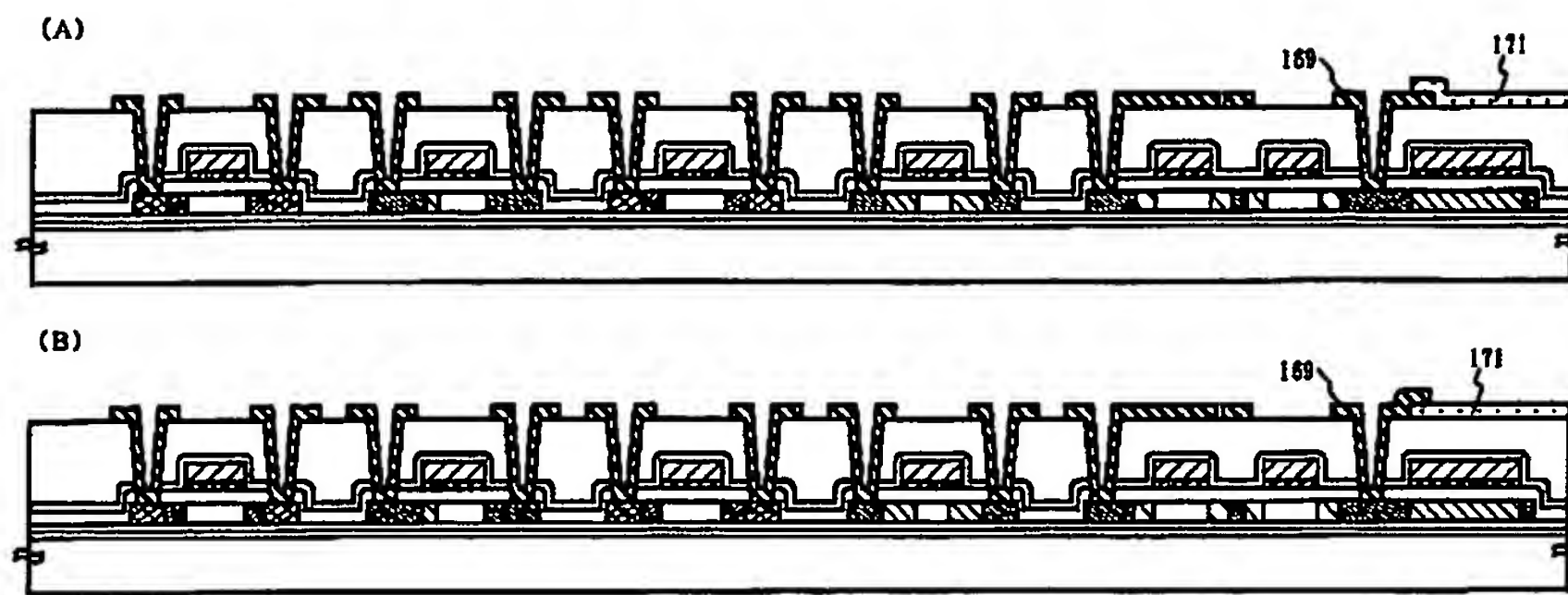
【図13】



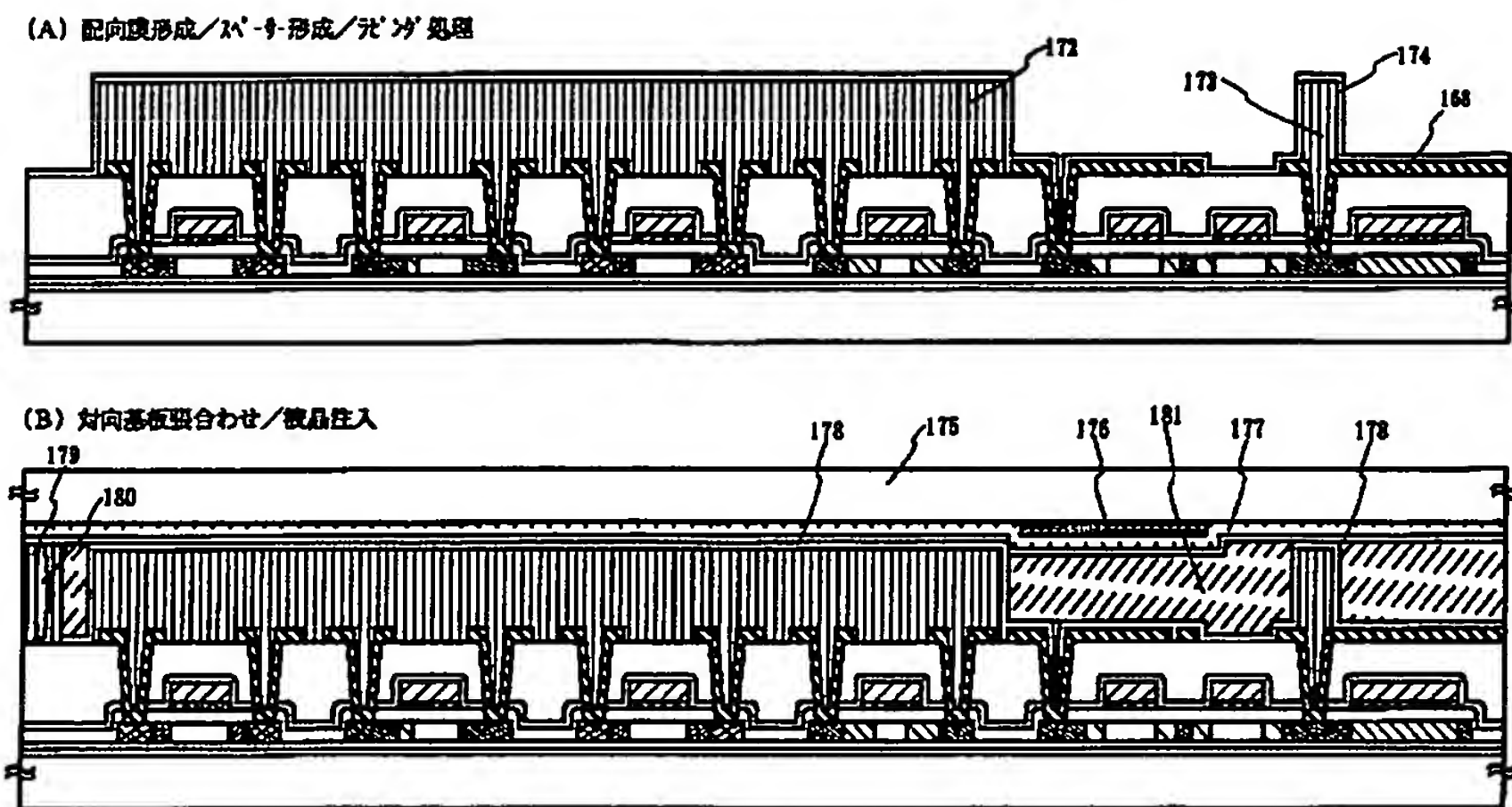
【図15】



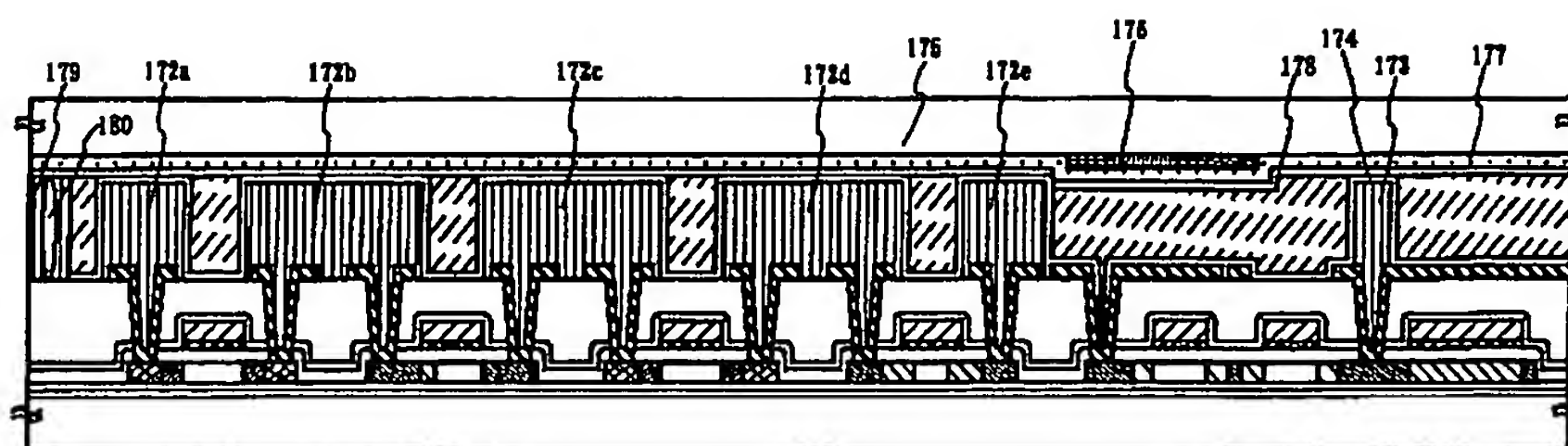
【図10】



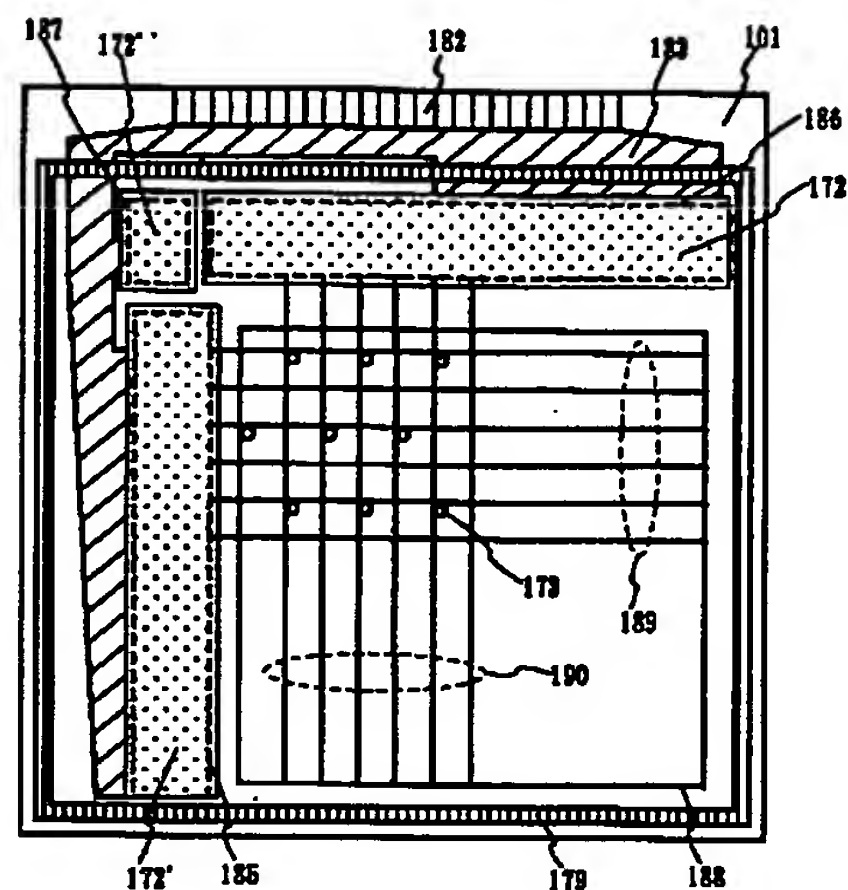
【図11】



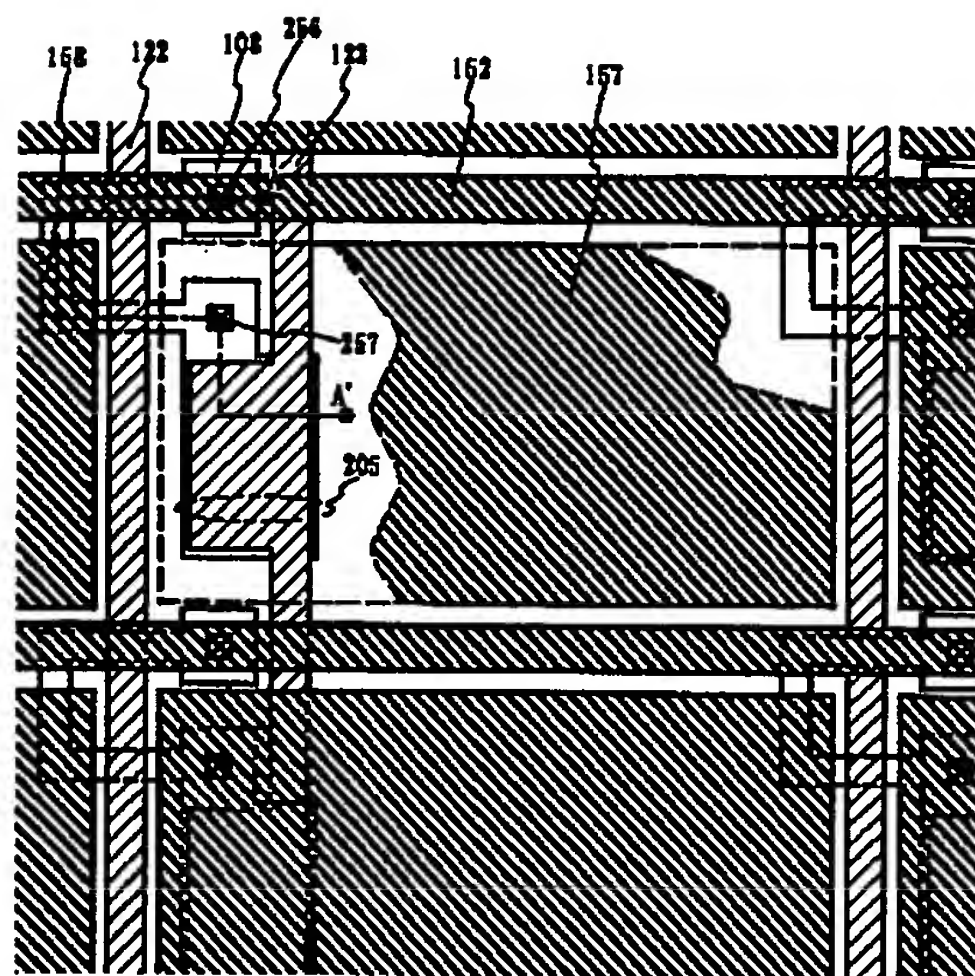
【図12】



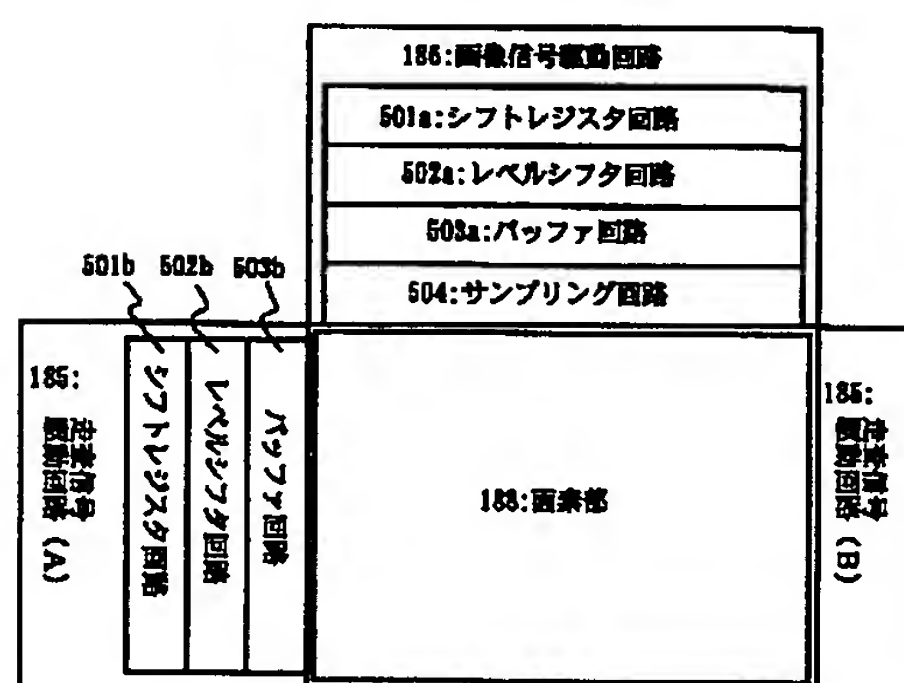
【図14】



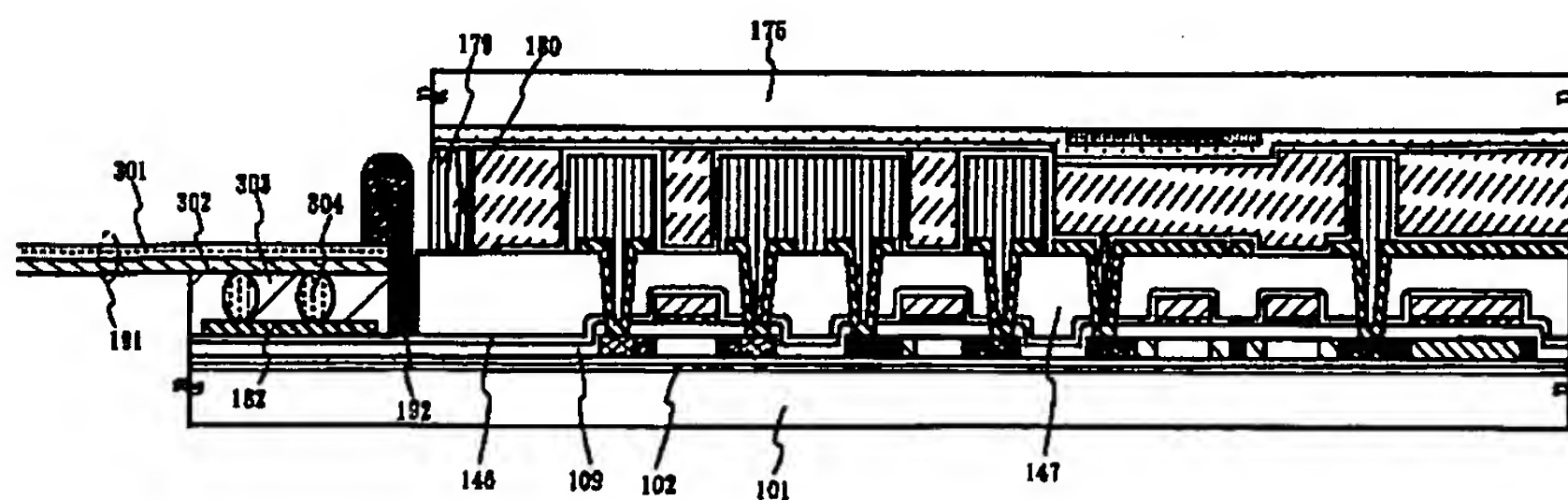
【図16】



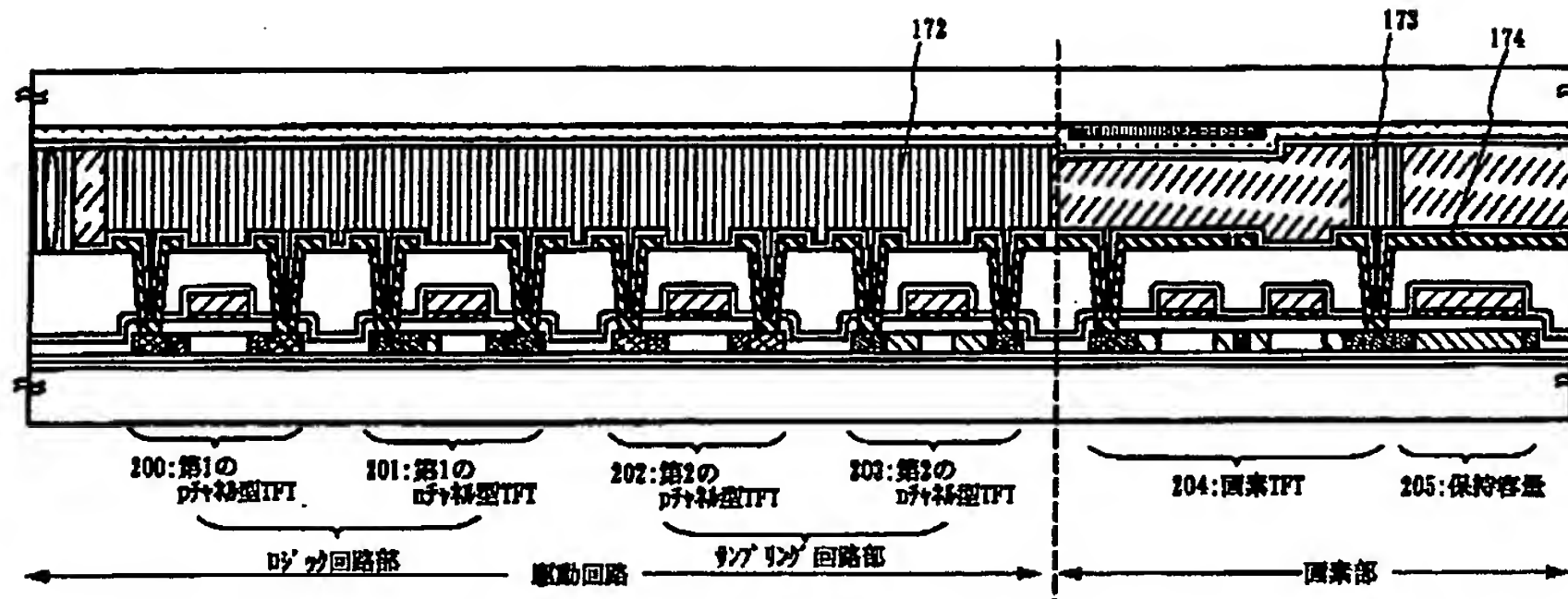
【図17】



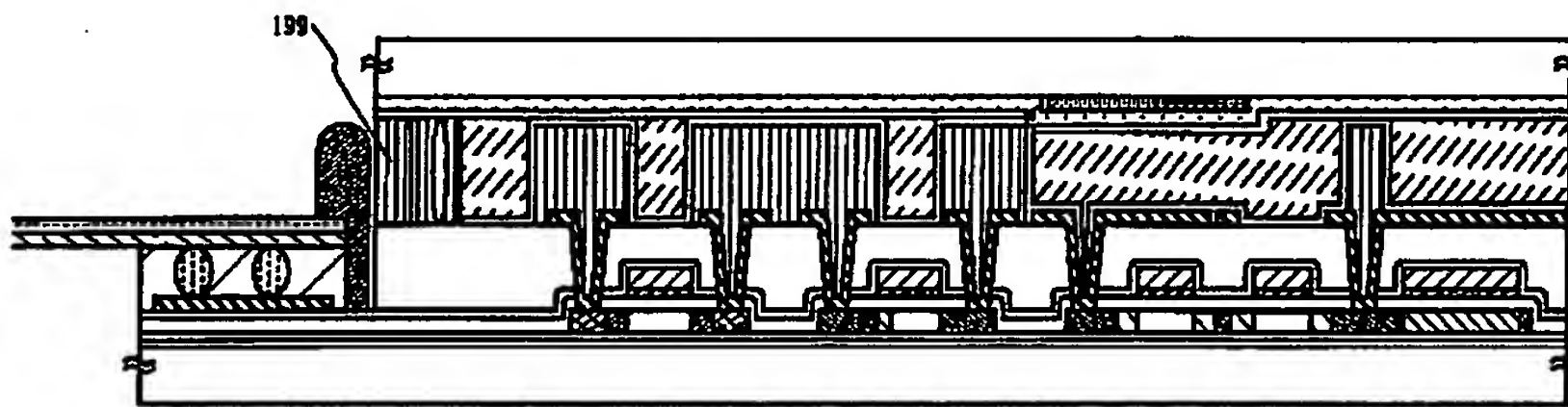
【図18】



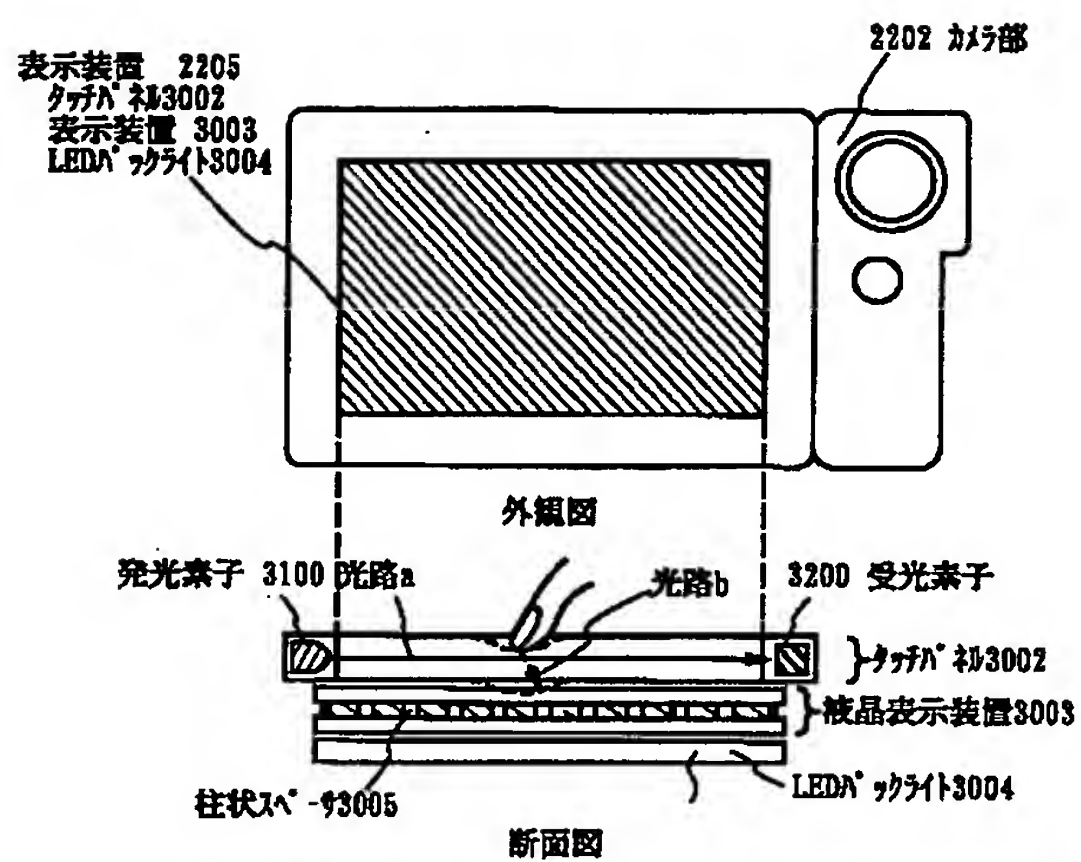
【図19】



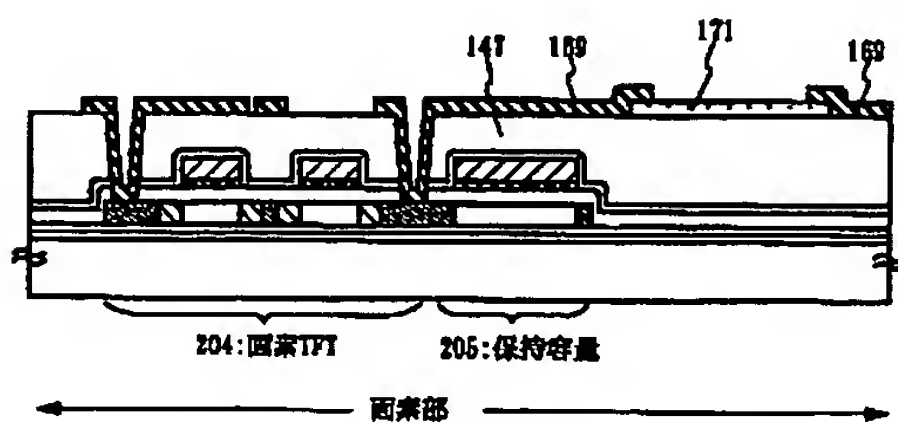
【図20】



【図21】

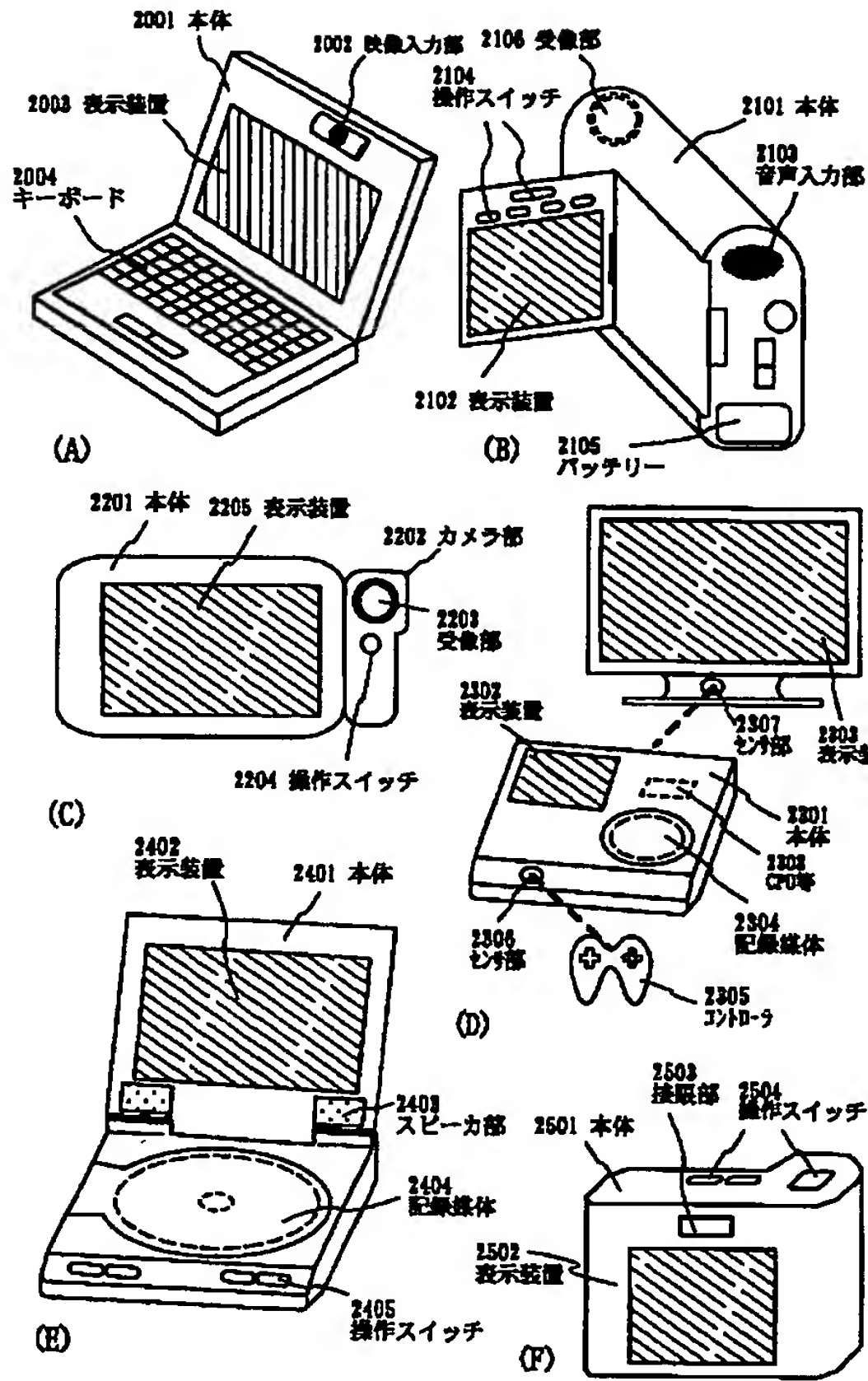


(A) 携帯情報端末機器（光学式タッチパネル）の外観図および断面図

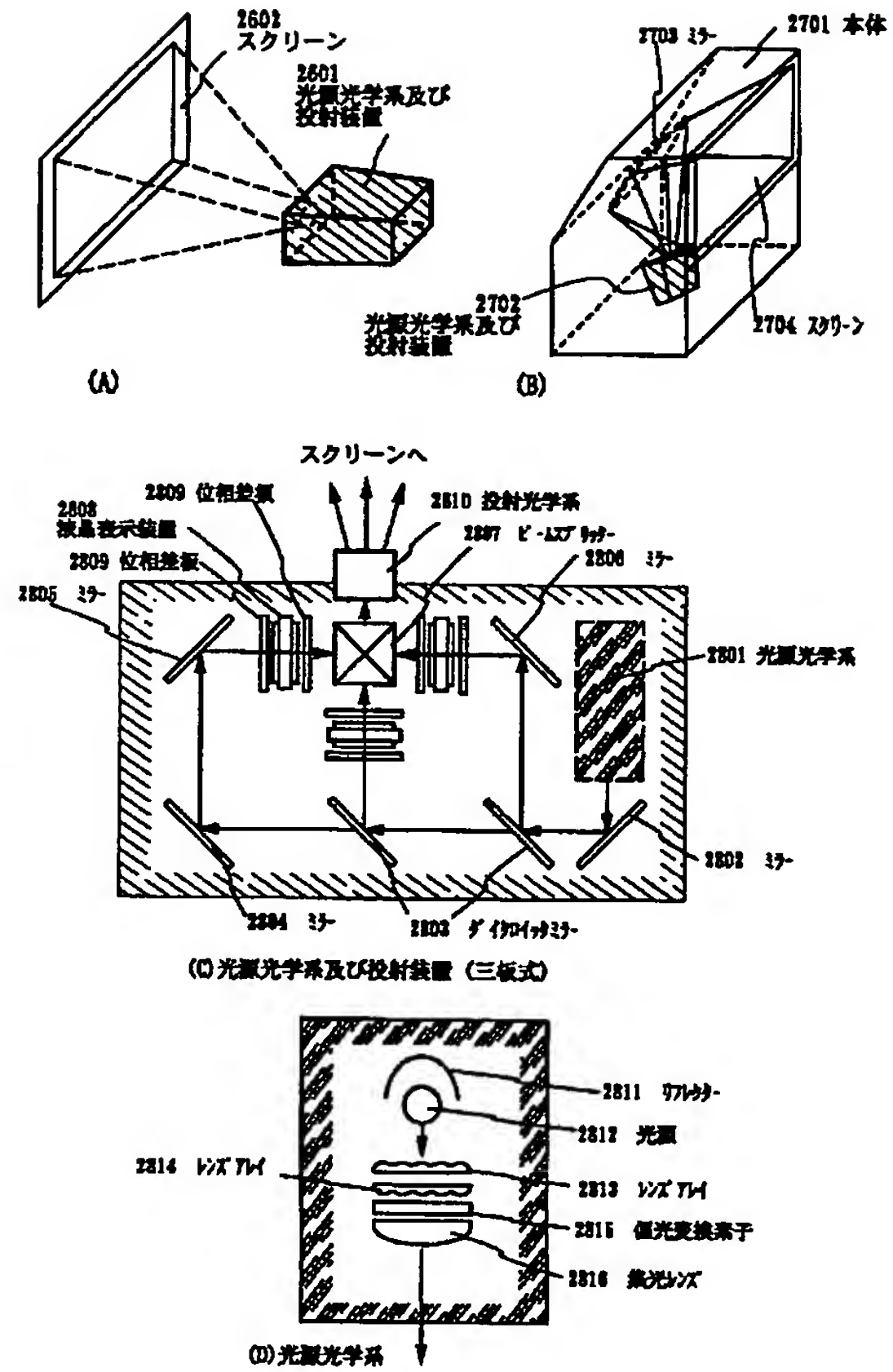


(B) 画素部断面図

【図 2 2】



【図 2 3】



フロントページの続き

(51) Int. Cl. ⁷		識別記号	F I	テーマコード (参考)
G 0 9 F	9/00	3 4 8	G 0 9 F 9/30	3 4 8 A
	9/30	3 3 8	G 0 2 F 1/136	5 0 0
		3 4 8	H 0 1 L 29/78	6 1 2 B
				6 1 7 A